

# 필드 플레이트가 설계된 다이아몬드 쇼트키 장벽 다이오드

## Diamond Schottky Barrier Diodes With Field Plate

장 해 념\* · 강 동 원\*\* · 하 민 우†

(Hae Nyung Chang · Dong-Won Kang · Min-Woo Ha)

**Abstract** - Power semiconductor devices required the low on-resistance and high breakdown voltage. Wide band-gap materials opened a new technology of the power devices which promised a thin drift layer at an identical breakdown voltage. The diamond had the wide band-gap of 5.5 eV which induced the low power loss, high breakdown capability, low intrinsic carrier generation, and high operation temperature. We investigated the p-type pseudo-vertical diamond Schottky barrier diodes using a numerical simulation. The impact ionization rate was material to calculating the breakdown voltage. We revised the impact ionization rate of the diamond for adjusting the parallel-plane breakdown field at 10 MV/cm. Effects of the field plate on the breakdown voltage was also analyzed. A conventional diamond Schottky barrier diode without field plate exhibited the high forward current of 0.52 A/mm and low on-resistance of 1.71  $\Omega$ -mm at the forward voltage of 2 V. The simulated breakdown field of the conventional device was 13.3 MV/cm. The breakdown voltage of the conventional device and proposed devices with the SiO<sub>2</sub> passivation layer, anode field plate (AFP), and cathode field plate (CFP) was 680, 810, 810, and 1020 V, respectively. The AFP cannot alleviate the concentration of the electric field at the cathode edge. The CFP increased the breakdown voltage with evidences of the electric field and potential. However, we should consider the dielectric breakdown because the ideal breakdown field of the diamond is higher than that of the SiO<sub>2</sub>, which is widely used as the passivation layer. The real breakdown voltage of the device with CFP decreased from 1020 to 565 V due to the dielectric breakdown.

**Key Words** : Diamond, Schottky, Diode, Breakdown voltage, Passivation

### 1. 서 론

전력용 반도체는 전기, 전자 시스템에서 전력 흐름을 제어하는 소자로 주로 선형 영역의 전류-전압 특성을 이용한다. 온 상태에서는 단락과 같은 유사한 낮은 저항을 가져야 하며, 오프 상태에서 개방과 비슷한 높은 저항을 가져야 한다. 전력용 반도체는 오프 혹은 스위칭 상태에서 공급 전압과 인덕터 에너지를 견뎌야 하므로 높은 항복전압이 반드시 필요하다. 항복전압은 저 농도 드리프트 층의 애벌런치 항복으로 구성된다. 드리프트 층의 농도를 감소시키면 항복전압은 증가하지만 온-저항도 함께 증가하는 단점이 발생한다. 따라서 전력용 반도체는 항복전압과 온-저항의 트레이드-오프 관계를 고려해야 한다. 이중 확산 금속-산화막-반도체 전계 효과 트랜지스터(double-diffused metal-oxide-semiconductor field-effect transistor, DMOSFET)와 절연 게이트 바이폴라 트랜지스터(insulated gate bipolar transistor, IGBT)로 대표되는 실리콘 기반 전력용 반도체[1-2]는 물성 한계에 부딪혀 더 이상 전기적 특성이 개선이 되지 않는다. 자동차

전장과 같은 높은 에너지 변환 효율과 고온에서 신뢰적인 동작인 요구되는 새로운 응용 분야는 기존 실리콘 전력용 반도체보다 우수한 전기적 특성을 가지는 새로운 전력소자가 필요하다.

탄화규소(SiC)[3-5], 질화갈륨(GaN)[6-8] 및 다이아몬드[9-18]는 대표되는 와이드 밴드 갭 기반 전력용 반도체로 전대대와 가전자대 사이의 에너지 밴드 갭이 실리콘(1.12 eV at 300 K)보다 크며, 차세대 RF(radio frequency) 및 전력용 반도체로 각광을 받고 있다. 와이드 에너지 밴드 갭을 가지면 항복전계가 높으며 고온에서 진성 캐리어 생성이 낮아서 고온에서 누설전류가 낮다. 따라서 와이드 밴드 갭 기반 전력용 반도체는 동일 항복전압에서 드리프트 층 두께와 온-저항을 감소시킬 수 있다. 와이드 밴드 갭 반도체 중 다이아몬드는 귀금속으로 널리 알려졌지만, 탄화규소와 질화갈륨에 비하여도 밴드 갭이 커서 미래형 반도체 소자로 각광받고 있다. 다이아몬드는 5.5 eV[9]의 큰 에너지 밴드 갭을 가져 낮은 진성 캐리어 농도( $10^{-27}/\text{cm}^3$  at 300 K[13])와 높은 항복전계(10 MV/cm 이상)를 가져 차세대 전력용 반도체로 우수한 잠재성을 갖는다. 또한 다이아몬드의 보고된 최대 이동도(mobility)는 전자, 4500  $\text{cm}^2/\text{Vs}$  및 정공, 3800  $\text{cm}^2/\text{Vs}$  이다[9]. 지구상 물질 중에서 가장 높은 열전도도(22 W/cmK)를 가지는 다이아몬드 전력용 반도체는 시스템의 냉각부품이나 방열판의 부피를 줄일 수 있다. 대표적인 미래형 전력반도체 물질인 탄화규소는 단지 실리콘보다 290배 높은 Baliga 성능지수를 가지지만, 다이아몬드는 실리콘보다 17,200배 매우 우수한 Baliga 성

† Corresponding Author : Dept. of Electrical Engineering, Myongji University, Korea

E-mail: isobar@mju.ac.kr

\* Dept. of Electrical Engineering, Myongji University, Korea

\*\* Dept. of Solar & Energy Engineering, Cheongju University, Korea

Received : February 19, 2017; Accepted : March 23, 2017

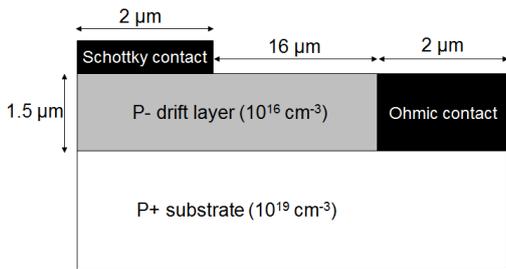
능평가지수를 가진다[12].

본 논문의 목적은 전력용 다이아몬드 쇼트키 장벽 다이오드의 필드 플레이트 설계에 관한 연구결과를 보고하는 것이다. 전력용 다이아몬드 소자의 설계는 이차원 수치해석 시뮬레이션[19]을 이용하였다. 본 연구그룹은 필드 플레이트가 설계되지 않는 다이아몬드 쇼트키 장벽 다이오드(Schottky barrier diode)의 전기적 특성에 관하여 간단한 연구 결과를 발표하였다[18]. 현재 다이아몬드의 에피 성장 및 공정 기술 수준을 고려하면 캐리어가 정공인 p형 반도체 소자가 연구하기 적합하다. 필드 플레이트는 전계 최고점(peak)을 증가시켜 전력용 반도체의 항복전압을 개선하는 기술이다[14,20]. 기존 실리콘, 탄화규소나 질화갈륨 기반 전력용 반도체와 달리 다이아몬드 전력소자는 이상적인 반도체의 항복전계가 이상적인 SiO<sub>2</sub> 절연막의 값보다 같거나 높기 때문에 종래 설계 기법과 다른 접근 방법이 요구된다.

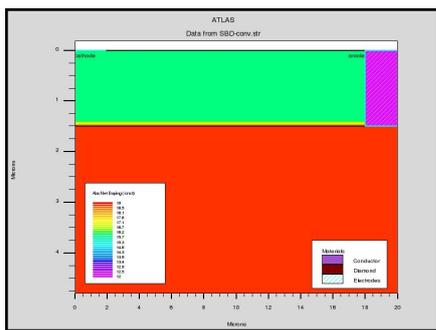
## 2. 본 론

### 2.1 필드 플레이트가 없는 소자의 전기적 특성

제안된 다이아몬드 쇼트키 장벽 다이오드의 구조는 pseudo vertical[15-16]이며, 반 절연(semi-insulating) 기판 위에 p-드



(a)



(b)

그림 1 필드 플레이트가 설계되지 않는 기존 p형 다이아몬드 쇼트키 장벽 다이오드의 (a) 단면도 및 (b) 시뮬레이션 구조(도핑 농도)

Fig. 1 (a) Cross-sectional view and (b) simulation structure (or doping concentration) of the p-type diamond Schottky barrier diode without field plate

리프트/p+ 에피 층을 성장하여 구현할 수 있다. 그림 1은 필드 플레이트가 설계되지 않는 기존 p형 다이아몬드 쇼트키 장벽 다이오드의 단면도와 시뮬레이션 구조(도핑 농도)이며, p+ 기판 층 표면에 양극인 오믹 콘택이 존재하며 p- 드리프트 층 표면에 음극인 쇼트키 콘택이 위치한다. 제안된 다이오드는 캐리어가 정공

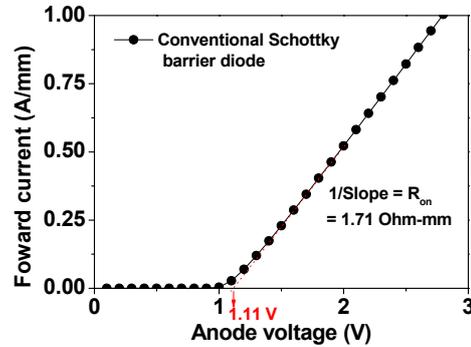
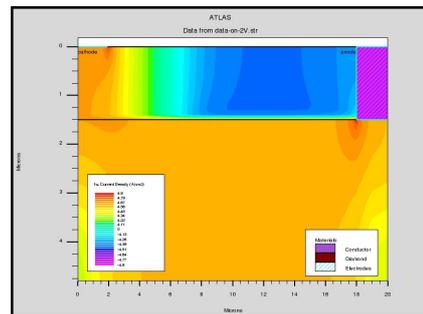
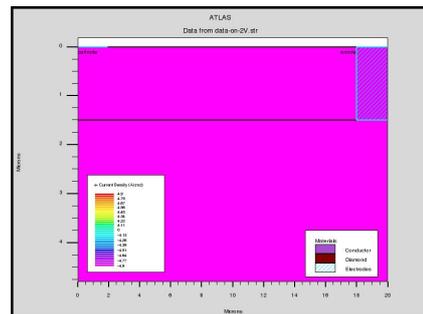


그림 2 필드 플레이트가 설계되지 않는 기존 다이아몬드 쇼트키 장벽 다이오드의 순방향 I-V 시뮬레이션 특성

Fig. 2 Simulated forward I-V of the conventional diamond Schottky barrier diode without field plate



(a)



(b)

그림 3 순방향 2 V 일 때 기존 다이아몬드 쇼트키 장벽 다이오드의 (a) 정공 및 (b) 전자 전류 밀도 분포

Fig. 3 Simulated distribution of the (a) hole and (b) electron current density of the conventional diamond Schottky barrier diode without field plate at the forward voltage of 2 V

인 단극성(unipolar) 반도체 소자이다. 일반적인 n형 쇼트키 장벽 다이오드는 소자의 동작을 결정하는 쇼트키 컨택은 양극이지만, 제안된 p형 소자의 온 및 오프 동작을 스위칭 할 수 있는 전극은 음극이다. 음극의 재질은 백금(Pt)으로 설계하였으며, 5.65 eV[21] 금속 일 함수 값(metal work function)을 가진다. 쇼트키 장벽 다이오드가 켜지는 턴-온 전압은 음극의 금속 일함수에 따라 달라진다.

소자의 항복전압은 저 농도를 가지는 p- 드리프트 층의 공핍 영역에 의하여 결정된다. P- 드리프트 층의 농도가 낮을수록 수직방향 공핍 영역이 증가하게 되고 항복전압이 증가된다. 또한 p- 드리프트 층의 두께가 두꺼워지면 공핍영역 폭이 증가하여 항복전압이 역시 증가하게 된다. P- 드리프트 층의 농도와 두께는 각각  $10^{16} \text{ cm}^{-3}$ 과  $1.5 \mu\text{m}$ 이다. P+ 기판 층의 농도와 두께는 각각  $10^{19} \text{ cm}^{-3}$ 과  $3.3 \mu\text{m}$ 이다. 음극과 양극 사이의 거리는  $16 \mu\text{m}$ 로 설계하였다. 모든 전극의 수평방향 길이와 소자 너비(width)는 각각  $2 \mu\text{m}$  및  $1 \mu\text{m}$ 이다.

반도체 소자의 전기적 특성은 시뮬레이션 상에서 Poisson 방정식과 경계 조건을 이용하여 구할 수 있다. 쇼트키 장벽 높이(Schottky barrier height,  $\phi_b$ )는 반도체의 전자 친화도( $\chi_s$ ), 반도체의 에너지 밴드 갭( $E_g$ ) 및 금속 일함수( $\phi_m$ )에 의해 결정된다. P형 쇼트키 장벽 다이오드의 이상적인 쇼트키 장벽 높이는 Mott 방정식에 의해 하단 식 (1)처럼 결정된다[22]. 일반적인 n형 쇼트키 장벽 다이오드와 달리 p형 쇼트키 장벽 다이오드는 이 증가할수록 쇼트키 장벽 높이는 감소되어 턴-온 전압이 낮아진다. 시뮬레이션에 입력한 파라미터인 다이아몬드의  $E_g$ (5.5 eV),  $\chi_s$ (1.5 eV) 및 백금의  $\phi_m$ (5.65 eV)를 고려하면 이상적인 쇼트키 장벽 높이,  $\phi_b$ 는 1.35 eV이다.

$$\phi_b = \frac{E_g}{e} - (\phi_m - \chi_s) \quad (1)$$

필드 플레이트가 설계되지 않는 다이아몬드 p형 쇼트키 장벽 다이오드의 순방향 전류-전압 특성을 검증하기 위하여 양극 전압을 0에서 3V까지 0.1 V/step으로 증가시켰다. 그림 2는 필드 플레이트가 없는 다이아몬드 쇼트키 장벽 다이오드의 순방향 전류-전압 특성이다. 선형 외삽법(linear extrapolation)을 이용하여 추출된 턴-온 전압은 1.11 V이다. 턴-온 전압과 이상적인 쇼트키 장벽 높이의 차이는 p-다이아몬드 드리프트 층의 페르미 준위와 가전자대 사이의 간격( $E_F - E_v$ )이다. 양극 전압, 2 V에서 순방향 전류는 0.52 A/mm이며, 전류-전압 기울기의 역수로 구한 온-저항은  $1.71 \Omega\text{mm}$ 이다. P형 쇼트키 장벽 다이오드의 전도 캐리어가 정공임을 검증하기 위하여 양극 전압, 2 V에서 2차원 정공 및 전류 밀도를 그림 3처럼 추출하였다. 순방향 전압, 2 V일 때 최대 정공 및 전자의 전류 밀도는 각각  $7.98 \times 10^4 \text{ A/cm}^2$ ,  $2.07 \times 10^{10} \text{ A/cm}^2$ 로 다수 캐리어는 정공임을 증명하였다.

반도체 소자의 항복전압을 포함한 역방향 특성을 계산하기 위하여 다이아몬드의 충격 이온화 계수(impact ionization rate,  $\alpha$ )를 고려하여 수치해석 시뮬레이션을 진행하였다. 시뮬레이션은 반도체와 절연막의 결함(defects), 트랩(traps) 및 표면누설전류를

고려하지 않는 이상적인 항복전압을 고려하였다. 하단 식 (2), (3)은 전자 및 정공의 충격 이온화율이다[23].  $A_p, B_p, C_p$ 는 정공의 충격 이온화율을 결정하는 다이아몬드의 계수이고,  $A_n, B_n, C_n$ 은 전자의 충격 이온화율을 결정하는 다이아몬드의 계수이며, E는 단위가 V/cm인 전계이다. 각 상수들은 다양한 문헌[13, 23-27]에서 발견되며, 표 1에 정리하였다. 다이아몬드 반도체는 성장 및 공정 기술이 연구 개발 중에 있어서 다수 학설로 통일된 재료 파라미터가 존재하지 않고 몇 값들이 문헌에 존재한다.

$$\alpha_n = A_n \exp\left(-\frac{B_n}{E}\right) C_n \quad (2)$$

$$\alpha_p = A_p \exp\left(-\frac{B_p}{E}\right) C_p \quad (3)$$

**표 1** 다이아몬드와 실리콘의 충격 이온화 계수의 문헌 값  
**Table 1** Impact ionization coefficients of the diamond and silicon from the literatures

물질	저자	$A_n$ ( $\text{cm}^{-1}$ )	$A_p$ ( $\text{cm}^{-1}$ )	$B_n$ (V/cm)	$B_p$ (V/cm)	$C_n$	$C_p$
실리콘	S.Selberherr [23]	$7.03 \times 10^5$	$1.58 \times 10^6$	$1.23 \times 10^6$	$2.04 \times 10^6$	1	1
다이아몬드	J.Isberg [24]	-	$6.00 \times 10^5$	-	$8.00 \times 10^6$	1	1
	R.J. Trew [25]	$1.94 \times 10^8$	$1.94 \times 10^8$	$7.75 \times 10^6$	$7.75 \times 10^6$	1	1
	A.Hiraiwa [26]	$1.40 \times 10^5$	$6.10 \times 10^4$	$2.40 \times 10^7$	$1.40 \times 10^7$	1	1
	S.J. Rashid [27]	$1.89 \times 10^5$	$5.48 \times 10^6$	$1.70 \times 10^7$	$1.42 \times 10^7$	1	1

Rashid의 다이아몬드의 충격 이온화 계수는 실리콘과 탄화규소의 충격 이온화 계수와 밴드 갭에서 추정하여 도출되었다[27]. 인용지수가 높은 Rashid의 충격 이온화 계수를 이용하여 필드 플레이트가 설계되지 않는 다이아몬드 쇼트키 장벽 다이오드의 항복전압을 도출하였다. 항복전압은 양극 전압을 0 V에서 음의 방향으로 감소시켜서 계산하였다. 다이아몬드 반도체의 항복전압 시뮬레이션은 수렴(convergence) 문제가 종종 발생하였고, 이로 인해 애벌런치 항복이 일어나 급격히 누설전류가 증가하는 특성을 얻을 수 없었지만, 반도체 재료 및 설계 파라미터를 조절하면 온전한 항복전압 커브를 추출할 수 있었다. 그림 4는 필드 플레이트가 없는 다이아몬드 쇼트키 장벽 다이오드의 항복전압 특성이다. 필드 플레이트가 없는 다이아몬드 쇼트키 장벽 다이오드의 항복전압과 항복전계는 각각 267 V와 5.5 MV/cm이었다. Rashid 모델의  $C_n, C_p$ 를 1에서 4로 증가한 경우 소자의 항복전압은 각각 680 V와 13.3 MV/cm로 증가하였다.  $C_n, C_p$ 이 증가하면 충격 이온화율 및 애벌런치 캐리어 생성이 감소하기 때문에 소자의 항복전압 및 항복전계가 증가한다.  $C_n, C_p$ 를 4로 선택한 이유는 다이아몬드의 전계 집중이 없는 1차원 평행한 pn 접합의 항복전계가 10 MV/cm로 다이아몬드의 항복을 교정한 결과를 참조하였다

[28]. 13.3 MV/cm가 평행한 pn 접합의 항복전계, 10 MV/cm보다 큰 이유는 음극 에지에 수평 및 수직방향 전계가 집중되었기 때문이다. 이후 소자의 충격 이온화 계수는  $C_n$ ,  $C_p$ 을 각각 4, 4로 수정한 Rashid 모델을 이용하여 연구를 진행하였다.

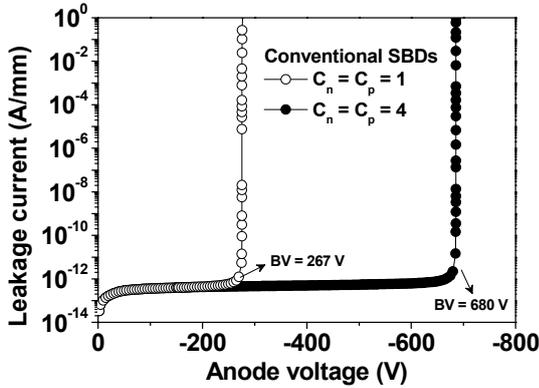


그림 4 필드 플레이트가 설계되지 않는 기존 다이아몬드 쇼트키 장벽 다이오드의 항복전압 특성

Fig. 4 Simulated breakdown voltage of the conventional diamond Schottky barrier diode without field plate

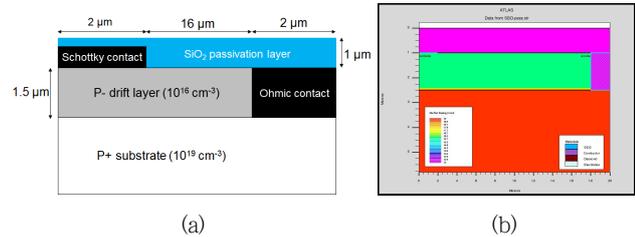


그림 5 패시베이션 층만 설계된 다이아몬드 쇼트키 장벽 다이오드들의 (a) 단면도와 (b) 시뮬레이션 구조 (도핑 농도)

Fig. 5 (a) Cross-sectional view and (b) simulation structure (or doping concentration) of the diamond Schottky barrier diodes only with passivation layer

2.2 필드 플레이트가 설계된 소자의 전기적 특성

역방향 바이어스 시 음극 에지에 집중되어있는 전계를 분산시켜 항복전압을 개선시키기 위해 소자에 필드 플레이트를 설계하였다. 필드 플레이트를 설계하기 위하여 패시베이션 층(passivation layer)과 전극에 단락된 금속 필드 플레이트가 필요하다. 패시베이션 층의 재질은 SiO<sub>2</sub>이고, 두께는 1µm로 고정하였다. 필드 플레이트 길이는 8µm로 설계하였다. 필드 플레이트 설계 효과를 분석하기 위하여 패시베이션 층만 있는 구조, 양극에 단락된 필드 플레이트(anode field plate, AFP) 및 음극에 단락된 필드플레이트(cathode field plate, CFP)의 세 가지 종류의 소자를 연구하였다. 그림 5, 6 및 7은 이 세 종류의 p형 다

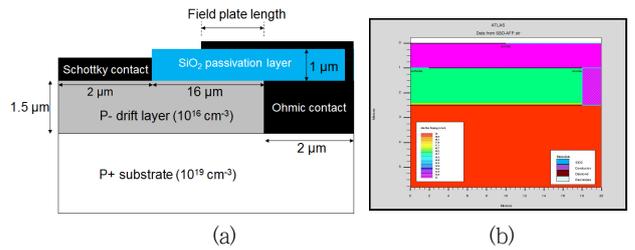


그림 6 양극에 단락된 필드 플레이트 (anode field plate, AFP)가 설계된 다이아몬드 쇼트키 장벽 다이오드들의 단면도와 (b) 시뮬레이션 구조 (도핑 농도)

Fig. 6 (a) Cross-sectional view and (b) simulation structure (or doping concentration) of the diamond Schottky barrier diodes with anode field plate (AFP)

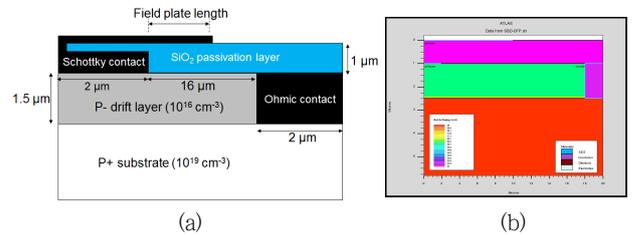


그림 7 음극에 단락된 필드 플레이트(cathode field plate, CFP)가 설계된 다이아몬드 쇼트키 장벽 다이오드들의 단면도와 (b) 시뮬레이션 구조 (도핑 농도)

Fig. 7 (a) Cross-sectional view and (b) simulation structure (or doping concentration) of the diamond Schottky barrier diodes with cathode field plate (CFP)

다이아몬드 쇼트키 장벽 다이오드들의 단면도와 시뮬레이션 구조 (도핑 농도)들이다.

그림 8은 필드 플레이트가 없는 기존 소자 그리고 패시베이션 층, AFP 및 CFP가 설계된 소자들의 항복전압 특성이다. 기존 소자, 패시베이션 층만 있는 소자, AFP 및 CFP가 설계된 소자의 항복전압은 각각 680, 810, 810 및 1020 V이다. 필드 플레이트 설계는 패시베이션 층을 포함하므로 패시베이션 층이 있으면 항복전압이 증가한 것을 알 수 있다. 이는 역방향시 전계가 다이아몬드뿐만 아니라 패시베이션 층에도 분포하였기 때문이다. 여기서 주목해야할 점은 패시베이션 층만 있거나 AFP가 설계된 두 소자들의 항복전압이 동일한 것이다. 그림 9와 10은 각각 AFP와 CFP가 설계된 소자의 항복시 전계와 전위분포이다. AFP가 설계된 소자는 음극 에지에 집중된 전계를 분산하지 못하였으며 전위 분포가 패시베이션 층만 있는 소자와 동일하다. 또한 두 소자의 항복전계는 13.3 MV/cm으로 역시 동일하다. 반면 CFP는 항복전압 개선에 효과적이었으며, 음극 에지에만 집중된 전계를 음극 에지와 CFP 에지에 분산시켜 항복전압을 1020 V까지 개선하였다. CFP가 설계된 소자의 항복 시 CFP 에지에 걸린 전계는 무려 17.6 MV/cm에 도달하였다. 이것은 이상적인 SiO<sub>2</sub> 패시베이션

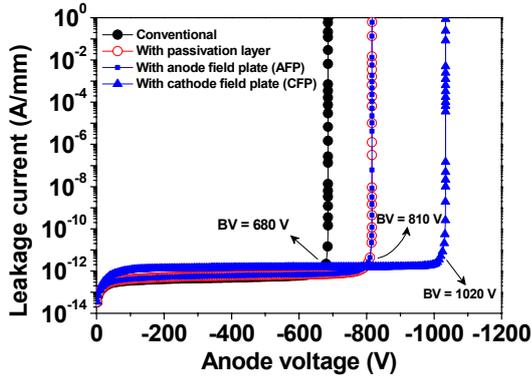


그림 8 기존 소자 및 패시베이션 층, AFP 및 CFP가 설계된 p형 다이아몬드 쇼트키 장벽 다이오드들의 항복전압 특성  
 Fig. 8 Simulated breakdown voltage of the conventional device and the devices with passivation layer, AFP, and CFP

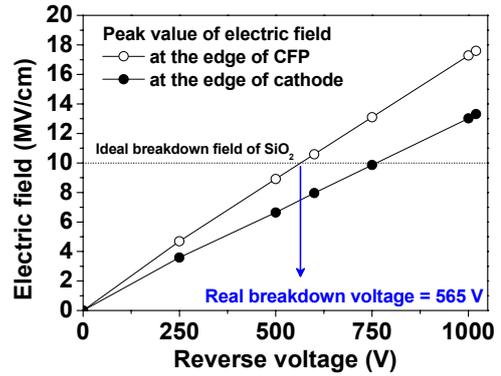


그림 11 역방향 전압에 따른 CFP가 설계된 다이아몬드 쇼트키 장벽 다이오드의 전계 피크 값  
 Fig. 11 Peak values of the electric field in the diamond Schottky barrier diode with CFP at various reverse voltage

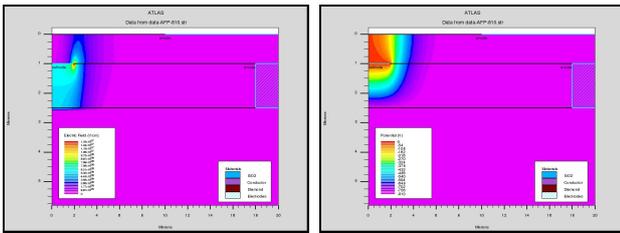


그림 9 항복(역방향 810 V)에서 AFP가 설계된 다이아몬드 쇼트키 장벽 다이오드들의 시뮬레이션 (a) 전계 및 (b) 전위  
 Fig. 9 Simulated (a) breakdown field and (b) potential of the diamond Schottky barrier diode with AFP

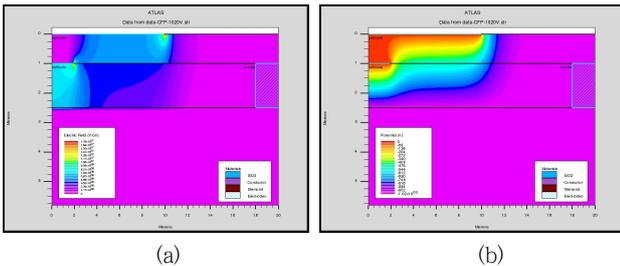


그림 10 항복(역방향, 1020 V)에서 CFP가 설계된 p형 다이아몬드 쇼트키 장벽 다이오드들의 시뮬레이션 (a) 전계 및 (b) 전위  
 Fig. 10 Simulated (a) breakdown field and (b) potential of the diamond Schottky barrier diode with CFP

층의 항복전계(10 MV/cm)를 초과한 결과로 전기적 특성 해석에 오류가 존재할 수 있으므로 역방향 전압에 따른 소자에 걸린 역방향 전계 피크 값을 정밀 분석하였다.

그림 11은 CFP가 설계된 소자의 역방향 전압에 따른 CFP 에

지 및 음극 에지에 걸린 전계 피크 값을 나타낸 것이다. 역방향 250 V에서의 CFP 에지 및 음극 에지에 걸린 전계 피크 값은 각각 4.69 및 3.59 MV/cm이다. 역방향 전압이 증가한 600 V에서 CFP 및 음극 에지에 걸린 전계 피크 값은 각각 10.59 및 7.96 MV/cm이다. 이미 이 전압에서 CFP 에지 하단 SiO<sub>2</sub> 패시베이션 층에서는 10 MV/cm보다 높아 절연항복이 일어났지만, 수치해석 시뮬레이션에는 특별한 절연항복 모델링을 이용하지 않는 한 검출하지 못하였다. 일반적인 반도체의 항복전계는 널리 이용되는 절연막인 SiO<sub>2</sub>의 이상적인 항복전계인 10 MV/cm보다 적다. 하지만 다이아몬드 반도체의 이상적인 항복전계는 10~20 MV/cm으로 이상적인 SiO<sub>2</sub>의 항복전계보다 크기 때문에 다이아몬드 전력 반도체 설계 시 반드시 절연항복을 고려해야 한다. 그림 11에서 CFP 에지에 걸린 전계 피크 값이 이상적인 SiO<sub>2</sub> 항복전계와 만나는 전압인 565 V가 실제 항복전압이 된다. 또한 우리가 다이아몬드 위에 증착공정기술을 이용하여 형성한 SiO<sub>2</sub> 항복전계가 10 MV/cm보다 낮다는 점도 고려해야 한다. 화학 기상 증착법을 이용하여 증착된 SiO<sub>2</sub>는 열 산화법으로 성장된 SiO<sub>2</sub>에 비하여 항복전계가 낮기 때문이다. 이 경우 CFP가 설계된 소자의 항복전압은 더 감소하게 된다.

다이아몬드 반도체 소자의 실험결과를 보고한 문헌에서는 필드 플레이트 효과를 기술하고 있다[14]. 이는 다이아몬드 성장 및 공정 기술의 현 수준이 미성숙하여 다이아몬드 소자의 실험 항복전압 혹은 항복전계는 결함, 트랩 및 누설전류로 인하여 이상적인 값보다 낮기 때문이다. 또한 측정된 소자의 항복전계는 전계 분산 기술 적용 여부에 따라 달라질 수 있다. 반도체 소자의 한 지점에 전계가 집중되면 항복전계는 1차원 평행한 pn 접합의 이상적인 항복전계보다 낮아진다. 만약 다이아몬드 반도체와 SiO<sub>2</sub>가 모두 이상적인 항복전계를 확보했다 가정하면 패시베이션 층 혹은 필드 플레이트를 설계하면 항복전압이 감소한다. 이 경우 다이아몬드보다 높은 항복전계를 가지는 절연막을 구현하거나 전계를 분산시키기 위하여 필드 플레이트가 아닌 다른 에지 마감(edge termination) 기술을 적용하면 해결책이 될 수 있

다. 결론적으로 다이아몬드 반도체의 이상적인 항복전계(10~20 MV/cm)가 높기 때문에 다른 반도체 소자와 달리 항복전압 설계 시 절연항복이 반도체항복보다 낮은 역방향 전압에서 일어나는 것을 고려해야 한다.

### 3. 결 론

다이아몬드는 5.5 eV의 와이드 밴드 갭을 가져 차세대 전력반도체 소자로 각광을 받고 있다. 다이아몬드 반도체 소자의 현 기술 수준을 고려하여 p형 쇼트키 장벽 다이오드를 수치해석 시뮬레이션을 이용하여 소자의 전기적 특성을 연구하였다. 설계된 소자의 턴-온 전압, 2V에서 순방향 전류 및 온-저항은 각각 1.11 V, 0.52 A/mm 및 1.71 Ωmm로 우수한 순방향 특성을 가지고 있음을 확인하였다. 다이아몬드 쇼트키 장벽 다이오드의 항복전압을 계산하기 위하여 총격 이온화 계수를 제안하였으며, 필드 플레이트 설계 여부에 따른 소자의 전기적 특성을 연구하였다. SiO<sub>2</sub> 패시베이션 층만 있는 소자와 AFP가 설계한 소자의 항복전압은 동일하였다. 이는 양극에 단락된 AFP는 음극 에지에 집중된 전계를 분산하지 못하였기 때문이다. 반면 음극에 단락된 CFP는 전계 집중 점을 음극 에지, 한 곳에서 음극 에지와 CFP 에지, 두 곳으로 증가시켰으며, 항복전압 시 전계 및 전위분포를 통하여 검증하였다. 그렇지만 CFP가 설계된 다이아몬드 쇼트키 장벽 다이오드의 항복전압은 1020 V이지만 패시베이션 층의 절연 파괴를 고려하면 565 V로 감소한다. 다이아몬드 전력반도체 설계 시 반도체의 이상적인 항복전계가 SiO<sub>2</sub> 절연막의 이상적인 항복전계보다 높기 때문에 반드시 절연파괴를 고려해야 한다.

### 감사의 글

이 논문은 2016년도 명지대학교 일반교원연구비 지원사업에 의하여 연구되었음

### References

- [1] B. J. Baliga, "Power semiconductor devices", PWS publishing company, 1996.
- [2] B. J. Baliga, "The future of power semiconductor device technology", Proc. IEEE, Vol. 89, No. 6, June, pp. 822-832, June 2001.
- [3] J. W. Palmour et al., "Silicon carbide power MOSFETs: breakthrough performance from 900 V up to 15 kV", Proc. Int. Symp. Power Semiconductor Devices & ICs, pp. 79-82, June 2014.
- [4] K. Choi et al., KIEE Summer Conf., pp. 1137-1138, July 2016.
- [5] Y. J. Jo, J. H. Moon, O. Seok, W. Bahng, T. J. Park, and M.-W. Ha, "Electrical characteristics of SiO<sub>2</sub>/4H-SiC metal-oxide-semiconductor capacitors with low-temperature atomic layer deposited SiO<sub>2</sub>", J. Semicond. Technol. Sci., April 2017.
- [6] M.-W. Ha et al., "A dual gate AlGaIn/GaN high electron mobility transistor with high breakdown voltages", Trans. KIEE, Vol. 54C, No. 1, pp. 18-22, Jan. 2005.
- [7] M. Kim, O. Seok, M.-K. Han, and M.-W. Ha, "High-voltage AlGaIn/GaN high-electron-mobility transistors using thermal oxidation for NiO<sub>x</sub> passivation", J. Electr. Eng. Technology., Vol. 8, No. 5, pp. 1157-1162, 2013.
- [8] M. Ishida, T. Ueda, T. Tanaka, and D. Ueda, "GaN on Si technologies for power switching devices", IEEE Trans. Electron Devices, Vol. 60, No. 10, pp. 3053-3059, Oct. 2013.
- [9] J. Isberg, et al., "High carrier mobility in single-crystal plasma-deposited diamond", Science, Vol. 297, pp. 1670-1672, Sep. 2002.
- [10] Y. Gurbuz et al., "Diamond semiconductor technology for RF device applications", Solid-State Electron., Vol. 49, pp. 1055-1070, 2005.
- [11] A. Aleksov et al., "Diamond-based electronics for RF applications", Diamond Relat. Mater., Vol. 13, pp. 233-240, 2004.
- [12] A. Denisenko and E. Kohn, "Diamond power devices. Concepts and limits", Diamond Relat. Mater., Vol. 14, pp. 491-498, 2005.
- [13] C. J. H. Wort and R. S. Balmer, "Diamond as an electronic material", Materials today, Vol. 11, No. 1-2, pp. 22-28, Jan. 2008.
- [14] K. Ikeda et al., "Fabrication of a field plate structure for diamond Schottky barrier diodes", Diamond Relat. Mater., Vol. 18, pp. 292-295, 2009.
- [15] R. Kumaresan et al., "Device processing, fabrication and analysis of diamond pseudo-vertical Schottky barrier diodes with low leak current and high blocking voltage", Diamond Relat. Mater., Vol. 18, pp. 299-302, 2009.
- [16] H. Umezawa, M. Nagase, Y. Kato, and S. Shikata, "High temperature application of diamond power device", Diamond Relat. Mater., Vol. 24, pp. 201-205, 2012.
- [17] G. Chicot, D. Eon, and N. Rouger, "Optimal drift region for diamond power devices", Diamond Relat. Mater., Vol. 14, pp. 68-73, 2016.
- [18] H. N. Chang, et al., "Next-generation high-power diamond Schottky barrier diode", KIEE Summer Conf., pp. 1130-1131, July 2016.
- [19] Atlas version 5.20.2.R, Silvaco.
- [20] F. Conti and M. Conti, "Surface breakdown in silicon planar diodes equipped with field plate", Solid-State Electron., Vol. 15, No. 1, pp. 93-105, Jan. 1972.

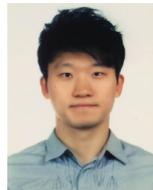
- [21] H. B. Michaelson, "The work function of the elements and its periodicity", J. Appl. Phys., Vol. 48, No. 11, pp. 4729-4733, Nov. 1977.
- [22] D. K. Schroder, "Semiconductor material and device characterization", John Wiley & Sons, Inc., New York, 1998.
- [23] S. Selberherr, "Analysis and simulation of semiconductor devices", Springer-Verlag, Wien, 1984.
- [24] J. Isberg, M. Gabrysch, A. Tajani, and D. J. Twitchen, "High-field electrical transport in single crystal CVD diamond diodes", Adv. Sci. Technol., Vol. 48, pp. 73-76, 2006.
- [25] R. J. Trew, J.-B. Yan, and P. M. Mock, "The potential of diamond and SiC electronic devices for microwave and millimeter-wave power applications", Proc. IEEE, Vol. 79, No. 5, pp. 598-620, May 1991.
- [26] A. Hiraiwa and H. Kwarada, "Blocking characteristics of diamond junctions with a punch-through design", J. Appl. Phys., Vol. 117, pp. 124503, 2015.
- [27] S. J. Rashid et al., "Numerical parameterization of chemical-vapor-deposited(CVD) single-crystal diamond for device simulation and analysis", IEEE Trans. Electron Devices, Vol. 55, No. 10, pp. 2744-2756, Oct. 2008.
- [28] D.-W. Kang, H. N. Chang, and M.-W. Ha, "Numerical simulation of high-voltage diamond Schottky barrier diodes", Proc. Microprocesses Nanotechnol. Conf., 10P-7-18, Nov. 2016.

## 저 자 소 개



**장 해 념 (Hae Nyung Chang)**

2017년 명지대학교 전기공학과 졸업.



**강 동 원 (Dong-Won Kang)**

2007년 서울대학교 전기공학부 졸업. 2013년 서울대학교 대학원 전기컴퓨터공학부 공학박사. 2013~2015년 일본 동경공업대학 물리전자공학부 박사후연구원. 2015년~현재 청주대학교 태양광에너지공학과 조교수.



**하 민 우 (Min-Woo Ha)**

2001년 한국과학기술원 전기 및 전자공학과 졸업. 2007년 서울대학교 전기공학과 공학박사. 2013년 미국 The University of Texas at Dallas Research Scientist. 2014년~현재 명지대학교 전기공학과 조교수.