

다중 직렬 연결된 대용량 EDLC 모듈에 적합한 전압 밸런싱 기법에 대한 연구

(A Study of Voltage Balancing Method in Series-Connected EDLCs for High Power Applications)

차대중* · 백지은 · 고광철**

(Dae-Joong Cha · Ji-Eun Baek · Kwang-Cheol Ko)

Abstract

In this paper, the problem of voltage unbalancing in series-connected multiple electric double-layer capacitors(EDLCs) is studied. Good understanding of this problem is required in order to increase reliability and stability of an energy storage system comprising EDLCs. Existing methods to settle voltage unbalancing cannot mitigate the problem enough for each cell, since most method have been applied to each module. For equalizing between cells, Zener diode which is one of passive method have been well examined in literature. However, Zener have well not used in balancing due to heating problem. In addition, It is difficult to choose Zener diode fitted rating voltage of EDLC, because of its internal resistance. Thus, we proposed passive balancing using Zener diode by analyzing parasitic element of Zener and EDLC. To experimentally confirm the balancing effect, we compared in two occasions which are with and without passive. As a result, proposed passive balancing circuit mitigated unbalanced voltage gap between EDLCs.

Key Words : Voltage Balancing, Passive Balancing, Series-Connected EDLCs, Zener Diode

1. 서 론

1.1 연구의 배경

EDLC(Electric Double Layer Capacitors)는 UC(Ultra Capacitor) 일종으로 친환경 2차 에너지 산업의 보조 에너지 저장장치로서, 전기자동차, 무정전 전원장치(UPS, Uninterruptible Power Supply) 등에 많이 응용되고 있다[1-4]. EDLC는 일반 전해 커패시터보다 높은 커패시턴스 특성을 지니고 있는 반면 낮은 정

* Main author : Dept. of Electrical Eng., Hanyang Univ., Korea

** Corresponding author : Professor, Dept. of Electrical Eng., Hanyang Univ., Korea

Tel : 02-2220-0348, Fax : 02-2220-1886

E-mail : kwang@hanyang.ac.kr

Received : 2015. 3. 24

Accepted : 2015. 5. 13

격 전압으로 인해 대전력 응용 시에, 많은 EDLC를 직렬로 연결해서 사용해야 한다. 많은 EDLC가 직렬로 연결되면 일반적인 커패시터나 배터리와 같이 전압 불균형 현상이 발생하게 된다[5].

전압 불균형 현상은 공정상에 발생하는 용량오차, 자가 방전 비율, 충/방전 횟수에 따른 용량 격차에 의해서 발생한다. EDLC의 수명은 전압과 온도에 주로 영향을 받기 때문에, 전압 불균형이 발생할 경우 EDLC의 수명에 격차가 발생한다[6]. 특히 많은 EDLC가 직렬로 연결되어 사용할 때 전압 불균형이 발생하게 되면, 각 EDLC의 수명격차 뿐 아니라 의도하지 않게 정격전압 이상의 과전압이 충전될 수 있다. 이런 문제들은 결국 에너지 저장 장치의 신뢰성과 안정성을 낮춘다.

EDLC가 에너지 저장 장치로 사용됨으로써 큰 장점은 반영구적 수명 특성이다. 따라서 EDLC의 부분적 교체/보수 작업이 발생하지 않도록, 전압 밸런싱을 통해 전반적인 수명을 균등화할 필요가 있다.

1.2 연구의 목적 및 방법

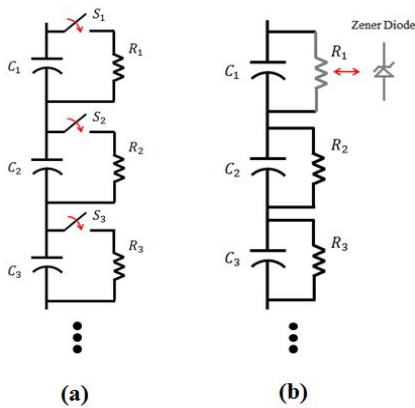


그림 1. 기존의 셀 간 전압 밸런싱 기법
 (a) Active Balancing (b) Passive Balancing
 Fig. 1. Existing voltage balancing method between cells

오래 전부터 배터리나 커패시터에 충전되는 전압을 균등화 해주는 많은 방법들이 연구되어왔다. 그림 1은 대표적인 셀 간 전압 밸런싱(Voltage Balancing) 방법

을 보여준다. 밸런싱 기법은 크게 Active와 Passive 방식으로 나눌 수 있다[7].

그림 1의 (a)는 Active 기법에서 Switched Resistor 방식을 보여준다. Active 기법이 셀 단위의 밸런싱에 적용될 경우, 각 셀의 전압을 센싱하고 제어하는 것이 필요하기 때문에, 소량직렬연결 구조나 모듈 단위의 밸런싱에 적합하다[6]. 따라서 다중 직렬 연결된 EDLC들의 전압을 균등화하기 위해서는, 셀 간의 정밀한 밸런싱이 가능하고 경제적인 Passive 방식을 사용하는 것이 좋다.

그림 1의 (b)에서 볼 수 있듯이 Passive 기법에는 병렬 저항 또는 제너 다이오드(Zener Diode)를 사용하는 방법이 있다. 병렬 저항은 EDLC에 충전된 전압을 고려하지 않고 방전을 하기 때문에 손실이 크지만, 제너 다이오드는 역 항복전압(Breakdown Voltage)을 넘을 경우에만 방전을 하기 때문에 저항보다 훨씬 효율적이다.

제너 다이오드가 Passive 기법으로 사용되는 내용은 문헌에서 많이 언급되고 있지만 발열 특성으로 인하여 실제로 잘 이용되지 않고 있다[6,8]. 또한 제너 다이오드에는 내부 가변 저항성분이 존재하기 때문에, 하나의 EDLC 정격(보통 2.5~2.7V)에서는 효과를 기대하기 어렵다.

본 논문에서는 대전력 응용을 위한 다중 직렬 연결된 EDLC 모듈을 위해서, EDLC와 제너 다이오드의 기생저항 성분을 고려하여, 경제적이고 효율적인 Passive 회로를 제안한다.

2. 밸런싱 회로 설계

2.1 EDLC의 기생 저항성분

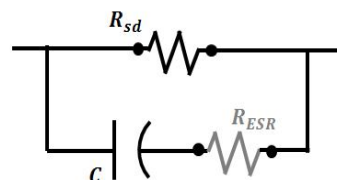


그림 2. EDLC의 기생 저항성분
 Fig. 2. Parasitic resistors of EDLC

EDLC에 적합한 밸런싱 회로를 설계하기 위해서 EDLC의 기생 저항성분을 고려할 필요가 있다. 그림 2는 EDLC의 기생저항성분을 보여준다. EDLC에는 ESR(R_{ESR} , Equivalent Series Resistor)과 자가 방전 저항(R_{sd} , Self-Discharge Resistor)이 존재한다[6]. 자가방전저항은 충전된 EDLC가 부하가 없음에도 자연적으로 조금씩 방전되는 것을 저항으로 표현한 것이며, EDLC 제조 회사나 용량에 따라 차이가 있으나 주로 300~2k Ω 정도 된다고 가정할 수 있다[6,9]. 이에 비해서 ESR은 m Ω 단위로 매우 작으므로, 설계 시 제외할 수 있다.

2.2 Passive회로 설계



그림 3. 제너 다이오드의 내부 저항
Fig. 3. Parasitic resistor of Zener diode

그림 3은 제너 다이오드의 내부 저항을 보여준다. 실제로 제너 다이오드는 내부 저항성분을 가지고 있기 때문에, 내부 저항성분을 측정할 필요가 있다.

EDLC는 대부분 2.5~2.7V의 정격 전압을 가진다. 커패시터의 수명과 과전압 방지를 위해서, 셀 하나에 2V 정도의 역 항복전압을 가지는 제너 다이오드의 사용을 고려할 수 있다. 그림 4는 2V 제너 다이오드의 내부저항을 실험적으로 측정한 그래프이다.

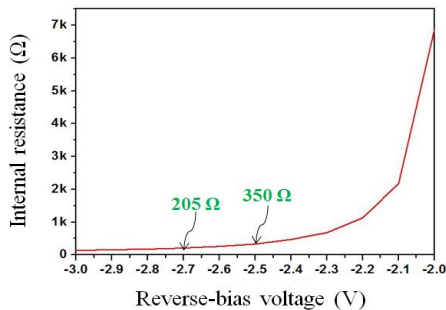


그림 4. 2V 제너 다이오드의 내부저항 측정
Fig. 4. Internal resistance of 2V Zener diode

측정 결과 2V 제너 다이오드의 내부저항이 상당히 크다는 것을 알 수 있으며, 대용량 EDLC(~3000F)에 병렬로 연결할 경우 RC 시상수에 의해서 과 충전된 EDLC의 전압이 저항으로 방전하는데 상당히 느릴 것으로 추측할 수 있다.

본래 제너 다이오드를 밸런싱에 사용한 목적은 역 항복전압 이상에서 각 셀의 부분적 방전을 위한 것이지만, EDLC의 정격 전압 영역에서는 그 효과를 발휘하는 제너 다이오드의 선택이 어렵다는 것을 알 수 있다.

따라서 본 논문에서는 제너 다이오드의 역 항복 전압 이후 영역을 이용하여, 셀 전압에 비례하여 방전속도를 제어할 수 있는 회로를 제안한다.

제너 다이오드와 EDLC를 조합하기 위해 다양한 역 항복전압 범위에서 제너 다이오드들의 저항 값을 측정한 결과, 2개의 셀이 직렬 연결된 모듈(SCTC, Series-Connected Two Cells)에 1N4730, 3.9V 제너 다이오드가 적합하다고 판단했다.

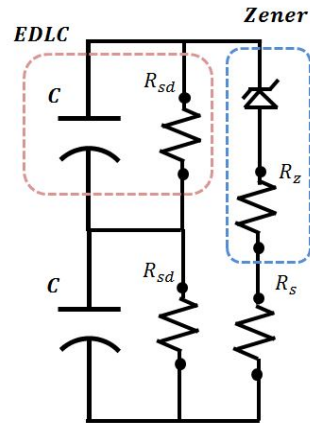


그림 5. 제안하는 Passive Balancing 기법
Fig. 5. Proposed passive balancing method

그림 5는 SCTC에 본 논문에서 제안한 Passive 기법을 적용한 회로를 보여준다. 제너 다이오드에서 열이 발생하는 이유는 제너 저항(R_z)에서 소비되는 열 에너지 때문인데, R_s 를 추가함으로써 SCTC에 충전된 전압의 방전 시상수와 제너의 발열을 조절할 수 있다.

다음 식 1은 그림 5의 방전 시상수를 보여준다.

$$\tau = \frac{C/2(2R_{sd} \times R_{zs})}{2R_{sd} + R_{zs}} \quad (1)$$

본 논문에서는 셀 하나에 충전할 전압 범위를 디레이팅(Derating) 2~2.5V로 정하였으며, SCTC의 목표하는 충전 전압 범위는 4~5V가 된다.

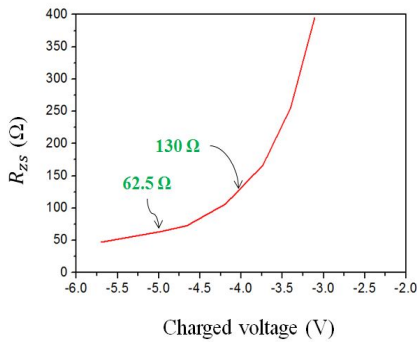


그림 6. 충전전압에 따른 방전저항 변화
Fig. 6. R_{zs} along with the charged voltage of SCTC

그림 6은 SCTC에 충전된 전압에 따라 방전저항 R_{zs} (R_z 와 R_s 의 합)의 변화를 보여준다. 여기서 R_s 는 15 Ω , 1W를 사용하였다. 그림 6에 의하면, 제안한 회로는 충전된 전압이 클수록 저항 값이 작아지므로 더 빠르게 방전할 수 있다.

2.3 EDLC 모듈 충전회로 설계

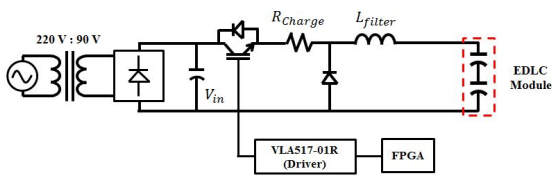


그림 7. EDLC 모듈 충전 회로
Fig. 7. Charging circuit for EDLC module

그림 7은 EDLC 모듈 충전 회로를 보여준다. EDLC는 직류 충전이기 때문에, 정류기와 Buck Converter

를 통해 설계하였다. 그림에서 R_{charge} 는 EDLC로 유입되는 전류량을 제한하기 위해 배치하였으며, 상황에 따라 제외하여도 된다. 실제로 EDLC의 직렬저항성분인 ESR이 매우 작아서, EDLC가 입력단과 전위가 비슷해지기 전까지는 입력단 전류가 많이 흐르게 된다. 본 논문에서는 R_{charge} 에 의한 손실을 줄이기 위해, 스위치가 on될 때만 R_{charge} 에 전력손실이 발생하도록 그림과 같이 배치하였다.

3. 밸런싱 효과 실험

3.1 실험 장치

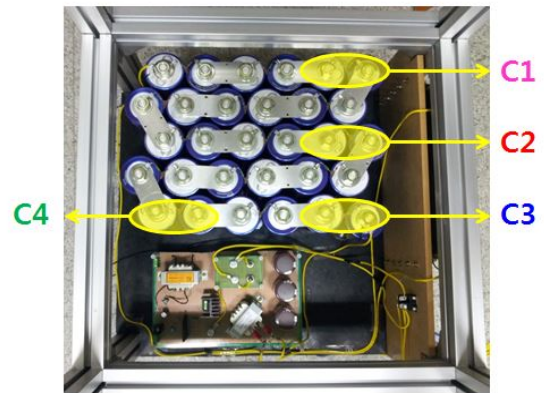


그림 8. EDLC 모듈 충전 전원
Fig. 8. Power supply for charging EDLC module

제안한 Passive 밸런싱의 효과를 검증하기 위해서 3000F, 2.7V 정격의 EDLC를 30개 직렬로 연결하여 구성하였다. 또한 하나의 EDLC에 충전하는 전압은 2V로 하여, 모듈의 총 충전전압을 60V로 정하여 실험하였다. 그림 8은 EDLC 모듈과 충전 전원을 보여준다. 그림 7과 같이 220V를 90V로 감압한 후에, Full-bridge Diode를 통해서 DC로 정류되고 컨버터를 통해 EDLC를 충전한다. R_{charge} 는 10 Ω 으로 선택하였으며, L_{filter} 는 50 μ H를 사용하여, 컨버터가 CCM(Continuous Conduction Mode)에서 동작하게 하였다.

그림 6에서 제안한 Passive balancing 기법을 실제

EDLC에 적용한 사진이 그림 9에 나타나있다. 하나의 SCTC의 용량은 1500F이 되며, 제너 다이오드는 1N4730, 3.9V를 사용하였다.



그림 9. 제안한 Passive 밸런싱 적용한 사진
Fig. 9. Proposed passive balancing

3.2 실험 결과

본 논문에서 제시하는 전압 밸런싱의 효과를 확인하기 위해 그림 8에서 임의로 $C_1 \sim C_4$ 를 선택하였으며, 모듈 전압에 따라 각 SCTC에 충전된 전압을 동시에 측정하였다. 측정된 충전 전압들은 분산을 이용하여, Passive Balancing 유무에 따라 어느 정도의 편차가 발생하는지 그래프로 나타냈다. 식 (2)는 분산 계수를 구하는 식이다. v_{avg} 는 $v_{c1} \sim v_{c4}$ 의 평균값을 나타낸다.

$$\frac{(v_{avg} - v_{c1})^2 + (v_{avg} - v_{c2})^2 + (v_{avg} - v_{c3})^2 + (v_{avg} - v_{c4})^2}{4} \quad (2)$$

본 논문에서는 실험을 두 경우로 나누어 진행했다. 첫 번째는 한 모듈을 목표하는 모듈전압으로 충전하는 동안에 밸런싱 효과를 관찰하였고, 두 번째 경우에는 완전히 충전된 이후 자가 방전할 때의 밸런싱 효과를 관찰하였다.

그림 10은 목표하는 충전전압(60V)으로 충전하는 동안의 $C_1 \sim C_4$ 의 분산 계수를 나타내며, 분산계수가 낮아수록 각 셀들이 평균값에 수렴하는 정도가 크다. 그래프에서 볼 수 있듯이, 충전하는 동안 제안한 Passive 회로가 적용될 경우 분산 계수가 더 낮음을 알 수 있다.

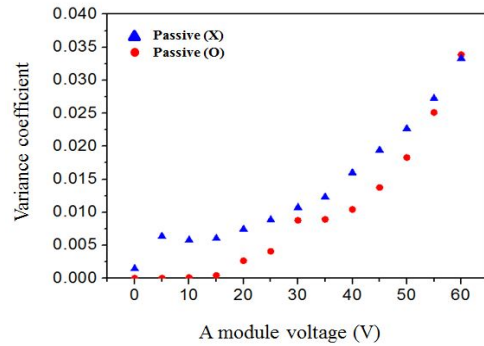


그림 10. 충전하는 동안의 $C_1 \sim C_4$ 의 분산 계수
Fig. 10. Variance Coefficient of $C_1 \sim C_4$ during charging

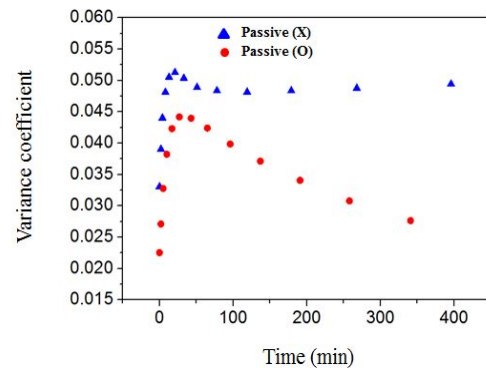


그림 11. 자가 방전하는 동안의 $C_1 \sim C_4$ 의 분산 계수
Fig. 11. Variance Coefficient of $C_1 \sim C_4$ during self-discharging

그림 11은 모듈이 60V로 충전된 상황에서 부하가 없을 때 자가 방전(Self-discharge)하는 과정에서의 $C_1 \sim C_4$ 의 분산 계수를 보여준다. 모듈전압이 55V가 되기까지 약 30분 정도 소요되었으며, 비교적 빠른 방전으로 인해 밸런싱 효과가 크지 않았으나, 이후 구간부터는 Passive 밸런싱이 적용된 경우 분산계수가 계속 감소하는 추세를 보인다는 것을 알 수 있다.

4. 결 론

본 논문에서는 낮은 정격전압을 가진 EDLC를 대전력 에너지 저장장치로 이용하기 위해, 많은 EDLC를 직렬연결로 구성할 경우 발생하는 전압 불균형현상을

줄이는 연구를 하였다. 기존의 전압 불균형을 줄이는 연구들이 정밀하고 효율적이지만 비경제적이고 제어 가 복잡하다는 점을 개선하기 위해, EDLC와 제너 다이오드를 분석하여 경제적이고 효율적인 Passive 회로를 제안한다.

실험결과 EDLC를 충전하거나 자가 방전하는 동안 제안한 Passive를 적용한 경우 밸런싱 효과가 나타나는 것을 확인할 수 있다. 에너지 저장장치는 보통 충전된 후에 장시간 방치를 하게 되는데, 이런 자가 방전 기간 동안에는 Passive 밸런싱의 효과가 더욱 두드러짐을 알 수 있다.

본 논문에서 제시한 방법은 EDLC에 충전된 전압이 크면 클수록 저항으로 방전이 빠르게 일어나게 하며, 셀 전압에 따른 방전을 통해 불필요한 손실을 줄일 수 있음을 예상할 수 있다.

References

[1] G. S. Kim, J. H. Moon, H. C. Cho, D. H. Kim, "Development of Charger/Discharger to Test Performance for EDLC", Journal of Korea Institute of Illuminating and Electrical Installation Engineers, 26 (7), pp. 16-22, 2012.

[2] Y. M. Seo, S. C. Hong, "Hybrid Type X-Ray Generator Using EDLC for Fluoroscopy X-Ray System", Journal of Korea Institute of Illuminating and Electrical Installation Engineers, 28 (9), pp. 89-98, 2014.

[3] J. H. Kim, S. H. Kim, C. S. Kim, W. K. Sung, "A Study on Instantaneous Voltage Compensation of UPS using an Ultracapacitor", Journal of Korea Institute of Illuminating and Electrical Installation Engineers, 20 (5), pp. 18-24, 2006.

[4] J. H. Cho, W. P. Hong, M. G. Chun, "Renewable Source and Hybrid System Modeling for Smart Grid", Journal of Korea Institute of Illuminating and Electrical Installation Engineers, 24 (12), pp. 109-121, 2010.

[5] N. M. L. Tan, I. Shigenori, K. Atsushi, A. Hirofumi, "Voltage Balancing of a 320-V, 12-F Electric Double-Layer Capacitor Bank Combined With a 10-kW Bidirectional Isolated DC-DC Converter", IEEE Trans. Power Electron., 23 (6), pp. 2755-2765, 2008.

[6] D. Linzen, S. Buller, E. Karden, R. W. Doncker, "Analysis and evaluation of charge-balancing circuits on performance, reliability, and lifetime of supercapacitor systems", IEEE Trans. Indust. Appl., 41 (5), pp. 1135-1141, 2005.

[7] M. Daowd, N. Omar, V. D. B. Perter, V. M. Joeri, "Passive and active battery balancing comparison based on MATLAB simulation", IEEE Vehicle Power and Propulsion Conference, pp. 1-7, 2011.

[8] T. H. Phung, J. C. Crebier, Y. Lembeye, "Voltage balancing converter network for series-connected battery stack", IEEE Industrial Electronics Society, pp. 3007-3013, 2012.

[9] J. Kowal, E. Avaroglu, F. Chamekh, A. Senfelds, "Detailed analysis of the self-discharge of supercapacitors", Jour. of Power Source, pp. 573-579, 2011.

◇ 저자소개 ◇



차대중 (車大中)

1973년 9월 26일생. 1996년 한밭대 제어계측공학과 졸업. 2009년 건축전기설비 기술사 및 프로젝트관리전문가 자격취득 (미 PMI). 2012년 한양대 공학대학원 전기공학과 졸업(석사). 현재 한양대 일반대학원 전기공학과 박사과정 및 (주)한양 건축주택사업본부 기술개발팀 근무.



백지은 (白智恩)

1988년 5월 16일생. 2012년 호서대 공대 전기공학과 졸업. 2012년~현재 한양대 일반대학원 전기공학과 석·박사통합과정.



고광철 (高光哲)

1959년 1월 31일생. 1982년 한양대 공대 전기공학과 졸업. 1986년 동경공업대학 대학원 전기전자공학과 졸업(석사). 1989년 동 대학원 전기전자공학과 졸업(박사). 1990~1995년 가천대 전기공학과 조교수. 1995~2005년 한양대 전기공학과 조교수 /부교수, 2005년~현재 한양대 전기·생체공학부 교수.