

## 3레벨 NPC 컨버터의 파워스택 설계에 관한 연구

(A Study on the Design of MV Class Power Stack  
for Neutral Point Clamped Three-Level Converter)

박준성\* · 윤준보 · 이 주\*\*

(Joon Sung Park · Junbo Yun · Ju Lee)

### Abstract

Over the last decade, there has been a growing interest in renewable energy. As one of the renewable energy resources, wind power is attracting considerable attention and becoming most developing renewable energy resources. Especially, offshore wind power generation system can generate higher power than onshore wind power generator system due to strong wind. The size of windmill and the capacity of the converter have been also increasing from the economical point of view. In this paper, the authors developed and evaluated MV class power stack by considering their influence on the performance. Experiment performed with developed power stack.

Key Words : Neutal Point Clamped(NPC) Converter, Multi-Level Converter, Space Vector PWM(SVPWM), Power Stack

### 1. 서 론

최근 현대 사회의 성장 발전 원동력이 되는 화석 에너지의 고갈과 세계적인 에너지 안보 및 기후 변화 대책에 대한 관심이 고조됨에 따라 대체 에너지 개발과 에너지 효율에 대한 관심이 점점 더 증가되고 있다. 또한 에너지 원료의 가격 상승은 이를 기반으로 하는 산업과 경제에 큰 영향을 미치기 때문에 이를 대체할

수 있는 신재생 에너지에 대한 전 세계의 관심이 집중되고 있다. 특히 신재생 에너지원 중 풍력 에너지는 대단위 단지 구성 시 기존 발전소와 같이 대규모 전력을 생산할 수 있는 장점이 있어 풍력 발전에 대한 연구가 활발하게 진행되고 있다. 이러한 풍력발전은 양호한 입지의 고갈, 민원, 양질의 바람, 환경 등의 문제로 점차 육상풍력에서 해상풍력으로 이동하고 있으며 해상풍력은 육상에 비해 대형 터빈의 설치가 가능하며 대단위 풍력단지를 조성하기가 용이한 장점을 가지고 있다. 이에 따라 대형 터빈의 발생에너지를 계통으로 연계하는 전력변환 시스템도 점차 대형화가 이루어지고 있다. 대용량 풍력발전용 전력변환기는 입출력 전류의 한계로 발생하는 문제를 해결하고자 3.3kV 이상의 전압을 직접 변환할 수 있고 모터 구동

\* Main author : Doctor course, Electrical Engineering of Hanyang University  
\*\* Corresponding author : Professor, Electrical Bio-Engineering of Hanyang University  
Tel : 032-621-2860, Fax : 032-621-2855  
E-mail : julee@hanyang.ac.kr  
Received : 2016. 2. 1.  
Accepted : 2016. 8. 24.

분야 등 산업계에서 안정성이 확보된 멀티레벨 방식의 컨버터가 주로 사용되고 있다.

일반적으로 전력변환기는 최대 발전 에너지를 얻기 위한 발전기 제어와 발전원에서 발전된 에너지를 계통으로 연계하는 역할을 수행하며 높은 전력변환 효율이 요구된다. 고전압 응용분야에서 주로 사용되는 멀티레벨 컨버터는 출력 상전압을 3가지 이상의 전압 레벨로 만들어 낼 수 있는 컨버터로서, NPC(Neutral Point Clamped), NPP(Neutral Point Piloted), ANPC(Active Neutral Point Clamped), T-Type NPC 컨버터와 같은 여러 토폴로지들이 제안되어 왔다 [1-3]. 3레벨 NPC형 컨버터는 구조가 간단하고 2레벨 컨버터와 비교하여 출력 전압스트레스가 적고, 동일 스위칭 주파수에서 출력전압 파형을 보다 정현적으로 출력하여 고조파 왜곡을 감소시킬 수 있는 장점이 있다[4].

본 논문에서는 해상풍력발전시스템용 MV급 파워스택 설계에 관한 연구를 다루었다. 파워스택 설계는 조립성 및 무게분산을 고려하였으며, 인덕턴스의 분석을 통하여 설계를 진행하였다. 또한 파워스택의 시험 및 검증을 위하여 고전압 전원장치 및 부하용 리액터를 제작하여 개발된 파워스택을 검증하였다.

## 2. 파워스택 설계

### 2.1 3레벨 NPC 컨버터 토폴로지

일반적인 2레벨 컨버터를 이용하여 3.3kV 계통에 연계할 경우 THD(Total Harmonic Distortion), EMI, 서지 전압의 증가로 인하여 계통에 연계하기 어렵다. 이와 같은 이유로 대용량 컨버터에서는 멀티레벨 컨버터가 주로 사용이 되고 있다[2-7]. 멀티레벨 컨버터는 스위칭손실이 적고,  $dv/dt$ 가 작으며, 높은 전압레벨을 구현할 수 있는 장점이 있다. 앞서 언급된 여러 타입의 멀티레벨 토폴로지 중에서 부피가 작고, 사용되는 전력반도체 소자 수가 상대적으로 적으며, 가격 경쟁력이 우수한 NPC 컨버터를 적용하였다.

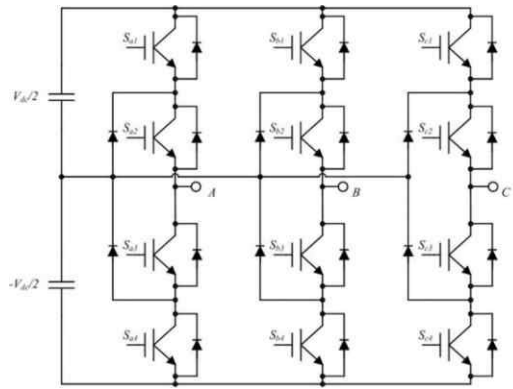


Fig. 1. Configuration of three-level converter

그림 1과 같이 3레벨 NPC 컨버터 각각의 상은 4개의 파워스위치와 두 개의 클램핑 다이오드로 구성되며, 두 개의 직류링크 커패시터에 의해 3개의 레벨로 상전압이 구성된다. 각 상에서 출력될 수 있는 상태를 표 1에 나타내었다.

Table 1. Switching state of three-level converter

State	$S_{i1}$	$S_{i2}$	$S_{i3}$	$S_{i4}$	$V_{io}$
1	On	On	Off	Off	$V_{dc}/2$
0	Off	On	On	Off	0
-1	Off	Off	On	On	$-V_{dc}/2$

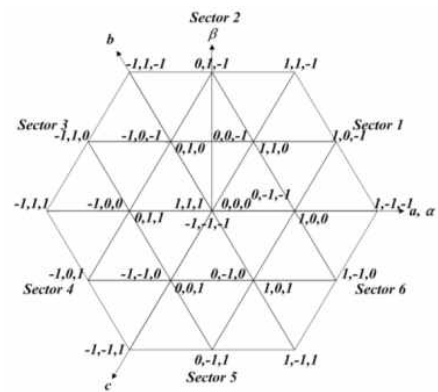


Fig. 2. Space vector of three-level converter

공간벡터 변조방식은 복소수 공간에서 하나의 공간벡터로 표현하여 이를 변조하는 기법으로 전압벡터 크기와 주파수에 의해 출력 전압이 조절된다. 이러한 공간벡터 변조방식으로 보다 효율적으로 직류링크 전

압을 이용하고, 고조파 왜곡을 줄일 수 있다[8].

3상 전압이 평형하다고 가정하면 지령전압벡터는 식 (3)과 같이 도출될 수 있다. 여기에서  $\omega$ 는 각속도이고,  $\theta$ 는 0부터  $2\pi$ 까지 변화하는 전기각이다. 3상 전압의 지령 상전압은 식 (3)을 이용하여 복소수 공간  $\alpha$ - $\beta$  성분으로 표현되며 이는 그림 2에서와 같이 27개의 공간 벡터로 표현할 수 있다.

$$v_a = V_m \sin \omega t \tag{1}$$

$$v_b = V_m \sin(\omega t - 2/3\pi)$$

$$v_c = V_m \sin(\omega t - 4/3\pi)$$

$$v_\alpha = \frac{2}{3}v_a - \frac{1}{3}(v_b + v_c) \tag{2}$$

$$v_\beta = \frac{1}{\sqrt{3}}(v_b - v_c)$$

$$V_{ref} = \sqrt{v_\alpha^2 + v_\beta^2} \tag{3}$$

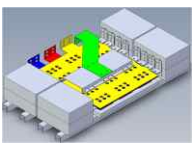
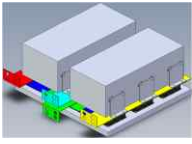
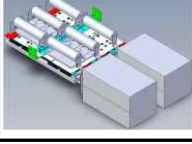
$$\theta = \tan^{-1}\left(\frac{v_\beta}{v_\alpha}\right)$$

## 2.2 파워스택 설계

그림 3은 파워스택 시험을 위한 구성도 전반을 나타

내고 있다. 고전압 트랜스포머와 다이오드정류기를 이용하여 고전압 직류링크를 구성하였으며, 파워스위치는 3병렬로 구성하여 허용최대전류를 증가하도록 하였다. 컨버터의 파워스택은 전기적 특성과 설치장소의 환경, 조립성을 고려하여 표 2와 같이 3가지 타입의 스택을 고려하였으며, 3가지 설계안 중 무게 분산에 따른 판넬 설치와 조립성의 장점이 있는 설계안 3으로 확정하여 설계를 진행하였다.

Table 2. Design of power stack

	3D도면	장점	단점
설계안 1		- 커패시터 분산 배치 용이 - 판넬 설치 용이	- IGBT 병렬 구동을 위한 인덕턴스 분포 차이 발생
설계안 2		- bus plate의 기생 인덕턴스 최소화 - plate 인덕턴스 차이 최소화	- 무게에 따른 판넬 설치 복잡
설계안 3		- 무게 분산에 따른 판넬 구조 단순화	- 기생 인덕턴스 최소화 설계 필요

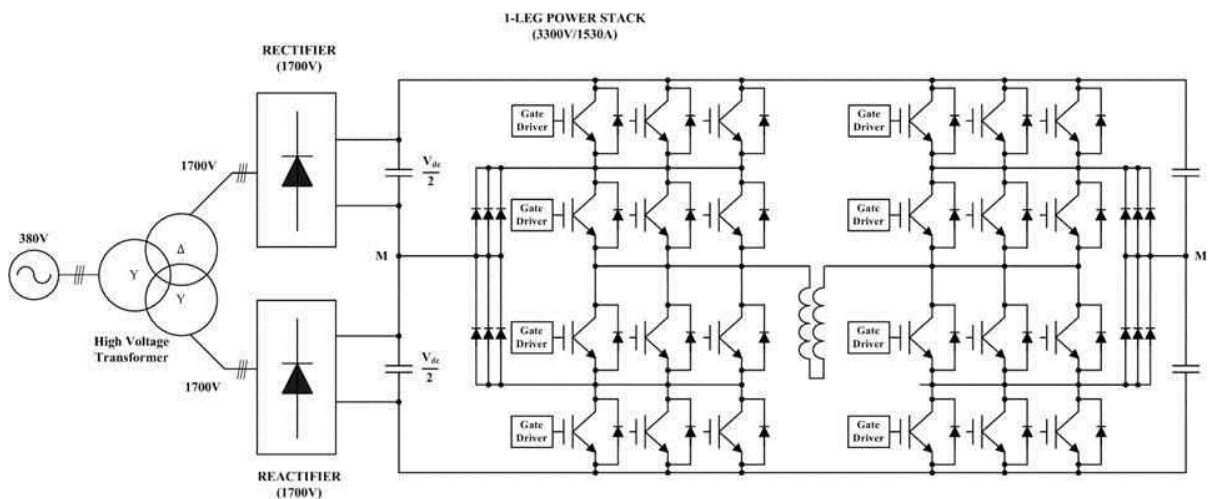


Fig. 3. Overall structure for the power stack

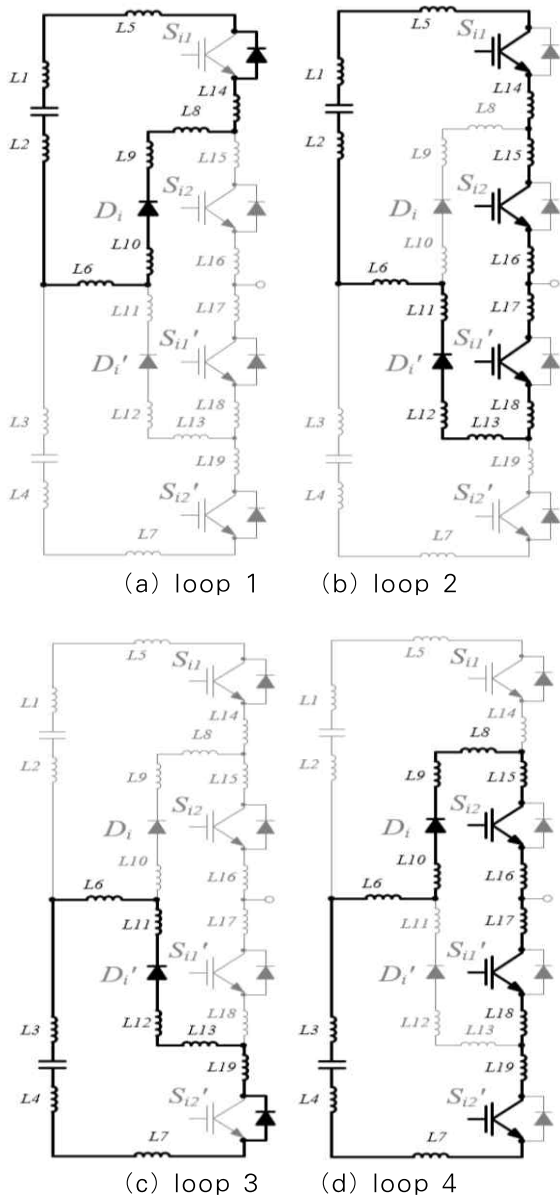


Fig. 4. Commutation loop

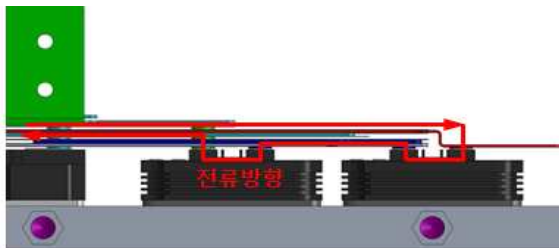


Fig. 5. Commutation loop of Bus-plate

설계안 3은 제작 시 조립성과 무게 분산에 따른 판넬 구조를 단순화할 수 있지만 직류링크 메인 필름 커패시터와 전력반도체 소자간의 거리가 길어져 서지 전압에 불리한 구조이다. 따라서 스위칭 시 발생할 수 있는 서지 전압을 최소화하기 위하여 버스플레이트 내의 C/L(Commutation Loop)에 대한 분석이 필요하다. 본 논문에서 적용한 3레벨 NPC 컨버터의 구조에서 기생인덕턴스는 그림 4와 같이 표현될 수 있으며, 스위치의 상태에 따라 모두 4가지의 C/L로 나타날 수 있다. 4가지 C/L에 대한 기생인덕턴스의 합은 아래의 수식 (4)~(7)과 같이 표현이 가능하다.

$$L_{loop1} = L1 + L2 + L5 + L6 + L8 + L9 + L10 + L14 \quad (4)$$

$$L_{loop2} = L1 + L2 + L5 + L6 + L11 + L12 + L13 + L14 + L15 + L16 + L17 + L18 \quad (5)$$

$$L_{loop3} = L3 + L4 + L6 + L7 + L11 + L12 + L13 + L19 \quad (6)$$

$$L_{loop4} = L3 + L4 + L6 + L7 + L8 + L9 + L10 + L15 + L16 + L17 + L18 + L19 \quad (7)$$

Table 3. Bus-plate inductance

Loop	Bus-plate 인덕턴스 (nH)	전력모듈 인덕턴스 (nH)	전체 인덕턴스 (nH)
1	75.3	30	105.3
2	78.5	60	123.3
3	67.4	30	97.4
4	72.5	60	132.5

식 (4)~(7) 및 그림 4의 구성을 바탕으로 Q3D를 이용한 시뮬레이션을 수행하였다. 메인 필름커패시터를 제외한 C/L내의 기생인덕턴스의 해석결과를 표 3과 같이 나타내었다. 설계안 3의 버스플레이트에 대한 기생인덕턴스 및 전류밀도 해석결과 전력반도체 모듈의 di/dt를 2,000A/us 이하로 유지할 경우 서지 전압의 크기를 350V 이하로 저감할 수 있는 것을 확인하였다.

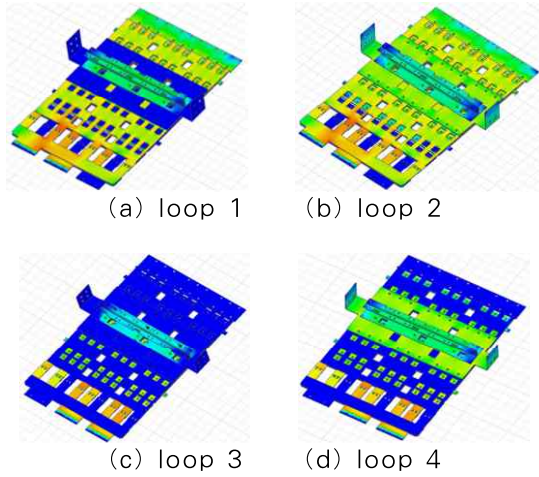


Fig. 6. Current density of bus-plate

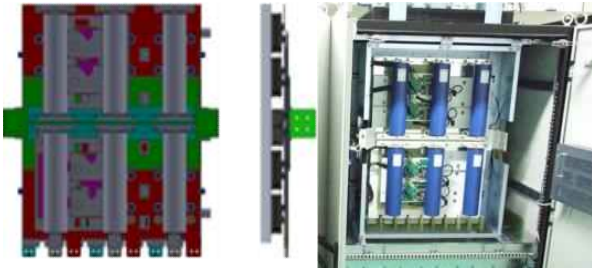


Fig. 7. 3D drawing and picture of power stack

### 2.3 게이트 드라이브 설계

그림 8은 본 논문에서 적용한 멀티출력 게이트 버퍼 회로이며, IGBT까지 게이트 전류패스 내의 기생인덕턴스 성분을 나타내고 있다. 고전압 대용량 IGBT 모듈을 적용하는 전력변환 컨버터의 경우 시스템 구성상 게이트 드라이브 유닛에서 IGBT 모듈의 게이트-이미터 터미널까지 거리가 멀리 떨어져 구성되는 경우가 많다. 따라서 IGBT 게이트 연결케이블의 길이가 길어지게 되면 배선 인덕턴스의 영향으로 게이트 전압에 링잉(Ringing)과 같은 노이즈에 의한 오동작 가능성이 있다. 그림 8의 게이트 턴-온, 턴-오프 루프내의 게이트 저항, 기생인덕턴스,  $C_{ies}$ 는 R-L-C 직렬 회로로 등가화할 수 있으며 이에 대한 미분방정식은 식 (8)과 같이 표현할 수 있다. 여기서  $C_{ies}$ 는 IGBT의 입력 커패시턴스이다.

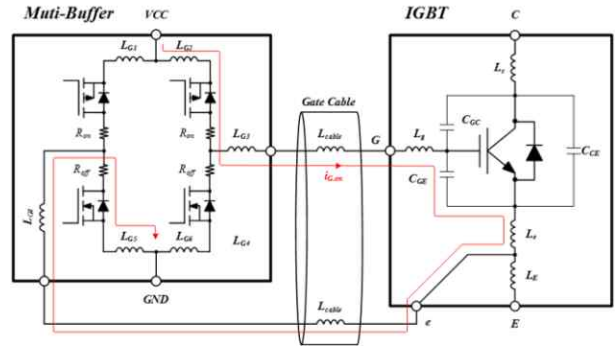


Fig. 8. Turn-on current path considering parasitic inductance

$$v_{in}(t) = R_{on}i(t) + L_{lk} \frac{d}{dt} i(t) + v_g(t) \quad (8)$$

IGBT에 인가되는 게이트 전압은 다음과 같이 표현된다.

$$v_g(t) = \frac{1}{C_{ies}} \int i(t) dt \quad (9)$$

라플라스 변환을 수행하기 위한 전압 미분 방정식은 식(10)과 같다. 이를 라플라스 변환식으로 표현하면 식 (11)과 같다.

$$v_{in}(t) = R_{on} C_{ies} \frac{d}{dt} v_g(t) + L_{lk} C_{ies} \frac{d^2}{dt^2} v_g(t) + v_g(t) \quad (10)$$

$$V_{in}(s) = R_{on} C_{ies} V_g(s)s + L_{lk} C_{ies} V_g(s)s^2 + V_g(s) \quad (11)$$

게이트 버퍼의 출력과 IGBT의 게이트 입력전압의 전달함수는 식 (12)로 나타낼 수 있다.

$$G(s) = \frac{V_g(s)}{V_{in}(s)} = \frac{1}{s^2 + \frac{R_{on}}{L_{lk}}s + \frac{1}{L_{lk}C_{ies}}} \quad (12)$$

$$G(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (13)$$

식 (12)를 2차 시스템의 기본 전달함수 식 (13)과 비

교하면 고유 진동수  $\omega_n$ 과 감쇠비  $\zeta$ 는 식 (14)와 같이 표현된다.

$$\omega_n = \sqrt{\frac{1}{L_{lk}C_{ies}}}, \zeta = \frac{R_{on}}{2} \sqrt{\frac{C_{ies}}{L_{lk}}} \quad (14)$$

감쇠비  $\zeta$ 가 1보다 작은 부족감쇠에 의한 진동을 피하기 위하여 게이트 전류 루프내의 전체 저항이 식 (15)와 같은 조건을 만족하는 게이트 저항을 선정하였다.

$$R_{on} \geq 2\sqrt{\frac{L_{lk}}{C_{ies}}} \quad (15)$$

본 논문에서 설계한 게이트 구동유닛의 게이트 케이블은 최대 40cm로 선정하였으며, 기생인덕턴스  $L_{lk}$ 는 400nH까지 허용하도록 설계하였다. IGBT의  $C_{ies}$ 는 340nF으로 Miyubishi社의 CM1200HG-90R 데이터시트를 참조하였다. 이에 따라 부족 감쇠 영역에서의 게이트 동작을 위한 최소 저항은 약 2.2Ω으로 계산되었다. 그림 9는 게이트 저항에 따른 게이트-이미터 전압 보드 선도 비교한 시뮬레이션 결과이다. 게이트 회로의 공진 주파수는 식 (16)와 같이 계산된다.

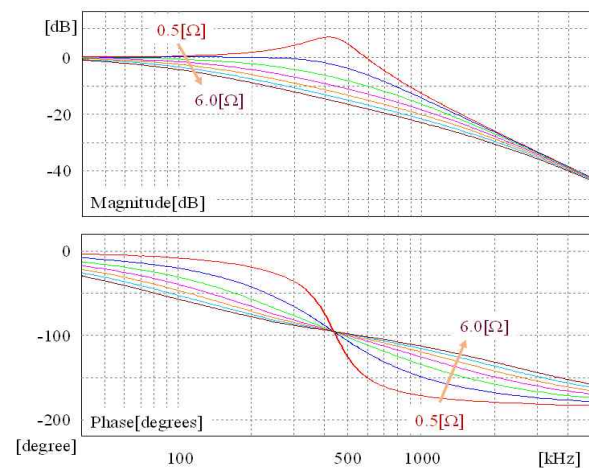


Fig. 9. Bode plot according to gate resistance

$$f_r = \frac{1}{2\pi\sqrt{L_{lk}C_{ies}}} \quad (16)$$

식 (16)을 이용하여 게이트 회로의 공진 주파수는 432kHz로 계산되며, 그림 9에서는 게이트 저항을 0.5Ω에서 0.5Ω씩 증가시키며 게이트 회로의 특성을 비교하였다. 그림 10은 게이트 저항에 따른 게이트-이미터 전압 과도상태를 비교한 그림이다. 식 (15)에서 계산된 저항 이하에서는 게이트 전압의 진동이 나타나는 것을 볼 수 있으며, 2.2Ω 이상의 저항은 과감쇠 과도상태 특성이 나타나는 것을 볼 수 있다.

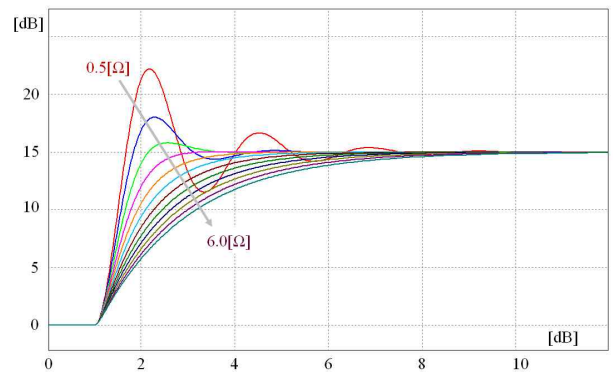


Fig. 10. Transient state according to gate resistance

그림 11은 게이트드라이브의 블록다이어그램이다. P/N 타입의 MOSFET 8개를 이용하여 게이트 저항을 총 7가지로 설정될 수 있도록 하였다. 고정된 직류 전원에서 게이트 저항을 가변하여 게이트 전류를 가변하도록 하는 능동 게이트 구동회로를 적용하였다. 양극성 전압과 음극성전압은 스위칭 소자의 동작 조합을 통하여 인가할 수 있으며, 저항의 조절을 통하여 게이트 전류 제어가 가능하다. 또한 서지 전압 및 서지 전류를 기존의 게이트 드라이브에서와 동일한 값으로 유지할 수 있으며, 게이트 전류를 저항을 통하여 제어하기 때문에 응답성 및 노이즈에 유리하다. 앞서 설계된 파워스택 설계안 3에 적용하기 위하여 초기 턴-온 및 턴-오프시에는 di/dt를 2,000A/us 이하가 유지될 수 있도록 앞서 계산된 게이트 저항값을 바탕으로 게이트 저항을 설정하였다. 또한 게이트 드라이브는 이상신호 검출을 위하여 IGBT의 di/dt 및 턴온시  $v_{ce}$  전압을 검출하여 IGBT의 이상상태를 검출할 수 있도록 하였다.



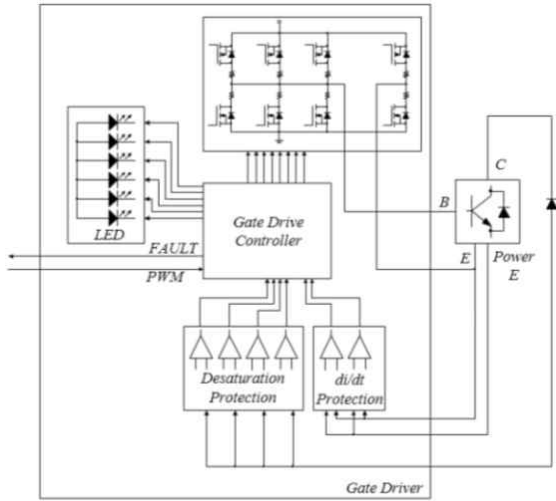
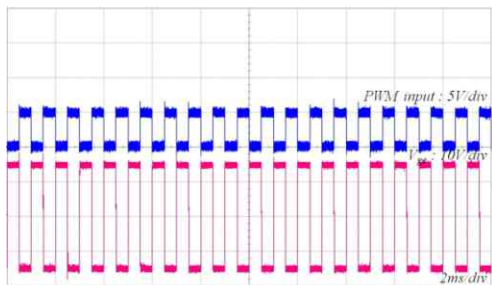
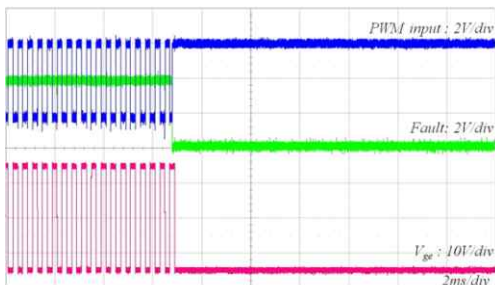


Fig. 11. Gate drive block-diagram

그림 12는 게이트 드라이브의 동작파형이다. 메인 제어보드에서 입력되는 PWM신호에 따라 게이트드라이브의 PWM이 양호하게 출력되고 있음을 알 수 있다. 또한 이상신호 발생시 그림 12 (b)와 같이 PWM차단이 원활하게 이루어지고 있음을 알 수 있다.



(a) at normal condition



(b) at fault condition

Fig. 12. Waveforms of gate drive

### 3. 실험 결과



Fig. 13. 7MW(3,300V, 1500A) 3-level NPC converter test

Table 4. Specification of power supply

	Specification
Operating temperature	-20 ~ 40 °C
Input voltage	380V, 3Φ
Output voltage	DC 2,500 ~ 6,000V
Output power	200kVA
Cooling method	Forced air cooling

개발된 파워스택의 시험평가를 위하여 고전압 전원장치와 부하용 리액터를 제작하였다. 제작된 고전압 전원장치의 상세 스펙은 표 4와 같다. 파워스택 설계안 3의 3,300V, 7MW용 1-leg 파워스택을 제작하였다. 고전압 전원장치와 부하시험용 리액터, 1-leg 파워스택을 그림 3과 같이 구성하였으며, 그림 14와 같이 판넬로 제작하여 시험평가를 진행하였다.

부하용 리액터를 이용하여 개발된 파워스택의 성능을 시험하였다. 그림 15는 측정된 최대상전류와 최대상전압 파형이다. 직류링크 전압은 5,200V에서 시험을 진행하였으며, 최대전류는 1,530Arms로 측정되었다. 그림 16은 측정된 상전류, 상전압, IGBT 전류파형이다. 본 논문에서는 앞서 소개한 그림 3과 같이



Fig. 14. 3D drawing and picture of whole system

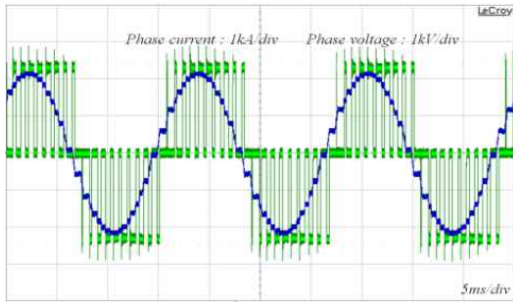


Fig. 15. Phase voltage and phase current

12개의 IGBT를 사용하여 3병렬, 3레벨로 1 leg를 구성하였으며, 그림 16과 같이 1개의 IGBT에 흐르는 전류는 전체전류의 약 1/3수준으로 각 병렬 구성IGBT마다 양호한 전류분배가 이루어지고 있다. 그림 17은 직류링크 전압 5,200V, 최대전류에서의 턴-오프 서지 전압 시험 결과이다. 최대서지전압은 2,858V로 측정

되어 IGBT의 정격전압에 비하여 큰 여유전압을 확보하였다.

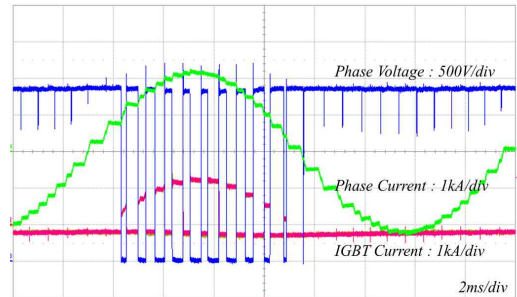
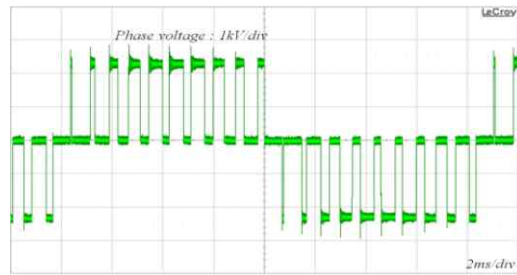
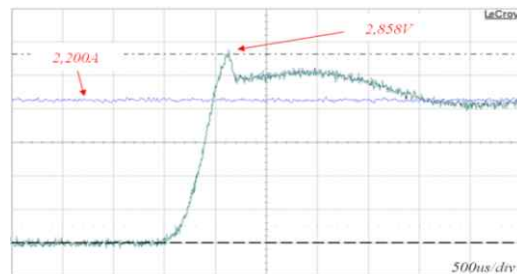


Fig. 16. Phase voltage, phase current, and IGBT current



(a) Phase voltage



(b) Phase voltage and phase current

Fig. 17. Phase voltage waveform

#### 4. 결 론

본 논문에서는 해상풍력발전용 MV급 파워스택의 설계에 대하여 연구하였다. 적용하는 PWM방식 및 그에 따른 C/L를 분석하고 시뮬레이션을 진행하여 파워스택 플레이트를 설계 및 개발하였다. 또한 개발된 파워스택의 적용을 위하여 수냉식 냉각장치와 개루프 능동 게이트드라이브를 개발하여 본 논문의 파워스택



에 적용하였다. 또한 최대부하시험을 위하여 고전압 시험장치를 개발하여 파워스택을 검증하였다. 본 논문에서는 대용량 파워스택 설계 및 시험에 대한 전반적인 설계 방안을 제시하였으며, MV급 파워스택의 제작 및 시험을 통하여 타당성을 검증하였다.

**감사의 글**

이 논문은 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임.  
(No.2016R1A2A1A05005392)

**References**

- [1] V. Blasko, R. Lukaszewski, and R. Sladky, "On-line thermal model and thermal management strategy of a three phase voltage source inverter," in Conf. Rec. IEEE-IAS Annu. Meeting, Phoenix, AZ, 1999, pp.1423-1431.
- [2] T. Takeshita, and N. Matsui, "PWM control and input characteristics of three-phase multi-level AC/DC converter," in Proc. of the 23rd Annual IEEE Power Electronics Specialists Conf. PESC 92, pp.175-180.
- [3] J.S. Lai, and F.Z. Peng, "Multilevel converters-A new breed of power converters," IEEE Trans. Ind. Applicat., vol.32, pp.509-517, 1996.
- [4] L. Tolbert, F.Z. Peng, and T. Habetler, "Multilevel converters for large electric drives," IEEE Trans. Ind. Applicat., vol.35, pp.36-44, 1999.
- [5] J. Rodriguez, J.S. Lai, and F.Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," IEEE Trans. Ind. Elec., vol.49, pp.724-738, 2002.
- [6] Lee D.M., and Hong C. H., "Modeling of SVPWM and Control Method for Driving Systems of High-speed Trains by using Multi-level Power Conversion", Journal of KIIE, pp.136-145, 2009.
- [7] Hong S.J., Hyun S.W., Eom T.H., Lee H.J., Shin S.C., and Won C.H., "Neutral Point Voltage Control of Three-Level NPC Inverter using DPWM", KIIE Autumn Conference, pp.96-96, 2014.
- [8] B. Urmila, and B. Subbarayudu, "Three-level inverter fed induction motor," in Proc. of IEEE ICAESM, pp.100-104, 2012.

◇ **저자소개** ◇



**박준성**

2005년 홍익대학교 전기전자공학부 졸업.  
2007년 포항공과대학교 대학원 전자전기공학과 졸업(석사). 2007~2009년 LG전자 DA연구소 주임연구원. 2009년~현재 전자부품연구원 지능메카트로닉스연구센터 선임연구원 근무. 2015년~현재 한양대학교 대학원 전기공학과 박사과정.



**윤준보**

2002년 국립인천대학교 전기공학과 졸업.  
2004년 한양대학교 대학원 전기공학과 졸업(석사). 2004~2007년 삼성전기 전동모터개발팀 선임연구원. 2007년~현재 LG전자 전력전자팀 책임연구원 근무. 2011년~현재 한양대학교 대학원 전기공학과 박사과정.



**이 주**

1986년 한양대학교 전기공학과 졸업.  
1988년 동 대학원 전기공학과 졸업(석사).  
1988~1993년 국방과학연구소 연구원.  
1997년 일본 큐슈대학교 System 정보과학연구과 졸업(박사). 1997년 한국철도기술연구원 선임연구원. 1997년~현재 한양대학교 전기생체공학부 교수.