

표면실장기술(SMT)의 조립 및 접합 신뢰성에 대한 패드설계의 영향에 관한 연구

박동운¹ · 유명현¹ · 김학성^{1,2,†}

¹한양대학교 융합기계공학과

²한양대학교 나노과학기술연구소

A Study on Effect of Pad Design on Assembly and Adhesion Reliability of Surface Mount Technology (SMT)

Dong-Woon Park¹, Myeong-Hyeon Yu¹, and Hak-sung Kim^{1,2,†}

¹Department of Mechanical Convergence Engineering, Hanyang University, Wangsimni-ro, Seongdong-gu, Seoul 04763, Korea

²Institute of Nanoscience and Technology, Hanyang University, Wangsimni-ro, Seongdong-gu, Seoul 04763, Korea

(Received September 8, 2022; Revised September 28, 2022; Accepted September 30, 2022)

초 록: 최근 4차산업혁명으로 대용량 데이터 처리를 위한 고집적 반도체에 대한 수요가 증가하고 있다. 반도체 제품에 장착되는 소자들의 크기가 작아짐에 따라 표면실장기술(SMT)의 신뢰성에 대한 연구가 관심을 받고 있다. 본 연구에서는 PCB의 패드 디자인이 수동소자의 조립 및 접합 신뢰성에 미치는 영향을 실험 계획법(design of experiment, DOE) 이용하여 분석하였다. 수동소자를 실장하기 위한 PCB의 패드 길이, 너비 및 두 패드간 거리를 변수로 하여 실험계획법을 수립하였다. 저항칩의 오배치(misplacement) 방향에 따른 수동소자의 톰스톤(tombstone)불량률을 도출하였다. 진단테스트를 통해 수동소자와 PCB 사이의 전단력을 측정하였다. 또한, 단면분석을 통해 패드 디자인에 따른 솔더의 형상을 분석하였다.

Abstract: Recently, with the 4th industrial revolution, the demand for high-density semiconductors for large-capacity data processing is increasing. Researchers are interested in researching the reliability of surface mount technology (SMT). In this study, the effect of PCB pad design on assembly and adhesion reliability of passive component was analyzed using design of experiment (DOE). The DOE method was established using the pad length, width, and distance between pads of the PCB as variables. The assembly defect rate of the passive element after the reflow process was derived according to the misplacement direction of the chip resistor. The shear force between the passive element and the PCB was measured using shear tests. In addition, the shape of the solder according to the pad design was analyzed through cross-sectional analysis.

Keywords: Surface mount technology, pad design, passive chip, SAC305, reliability

1. 서 론

SMD(Surface Mount Device)와 PCB의 활용으로 제한된 부피에 실장할 수 있는 부품의 수를 효과적으로 증가하였다. 이를 통해 전자제품의 크기를 획기적으로 줄이고, 성능을 효과적으로 향상시킬 수 있었다.¹⁾ 최근 인공지능(AI), 자율주행차, IoT, 5G 산업 등 4차 산업혁명으로 인해 빠른 데이터 처리 속도의 제품과 고집적 반도체에 대한 수요가 증가하고 있다. 이러한 요구 사항을 충족하기 위해 수동소자(저항, 인덕터 및 커패시터)를 비롯한 실장 제품들의 크기가 작아졌다. 특히, 수동소자는 단순한 구조체로 SMT(Surface mount technology)공정에 사용되는

가장 작은 부품이다. 일반적인 수동소자는 양 끝단에 전극이 있으며, 수동소자를 PCB에 실장하기 위해서 PCB에는 패드(pad)를 내고, 솔더 페이스트(solder paste)를 이용하여 수동소자와 PCB의 회로를 전기적으로 연결한다²⁾. 수동소자의 크기가 점점 작아지면서 다양한 불량들이 발생하고 있으며, 부품과 PCB를 연결하고 외부의 힘을 지지하는 솔더조인트의 양이 줄어들어 접합신뢰성이 줄어들었다. 이는 과거보다 줄어든 솔더의 양이 수동소자와 PCB 사이의 부실한 접합을 야기하여 패키지의 보드레벨 신뢰성을 떨어뜨렸다. 줄어든 솔더의 양은 수동소자와 PCB를 물리적으로 연결하는 유일한 수단으로써 작은 수동소자에 대한 접합신뢰성 충족하기 어렵다.

[†]Corresponding author

E-mail: kima@hanyang.ac.kr

© 2022, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

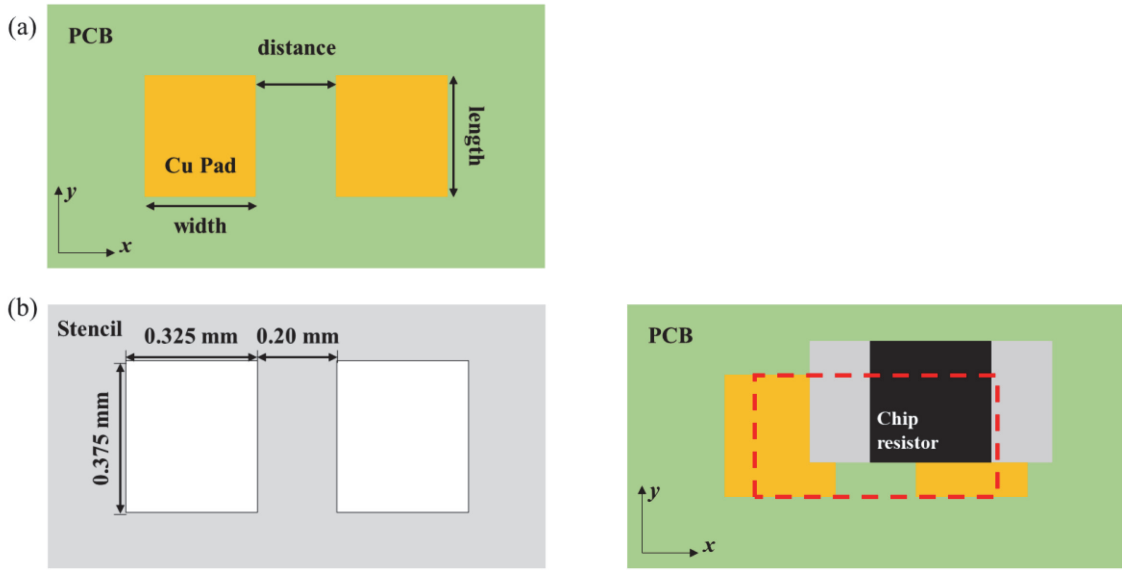


Fig. 1. Schematics of (a) pad on PCB, (b) stencil design for printing solder paste, and (c) misplacement position of 0603 chip resistor.

SMT 불량률의 원인을 규명하고 조립 불량률을 줄이기 위해 많은 연구가 진행되어 왔다.³⁻⁵⁾ 많은 연구들은 솔더 페이스트를 PCB 기판위에 인쇄할 때의 다양한 변수들인 스퀴즈의 압력/속도, 스텐실의 aperture 및 전달 효율 등을 최적화하였다.^{6,7)} 또한, 리플로우(reflow)공정의 온도 프로파일의 변수들인 최고 온도, soak time 및 ramp-up 속도 등을 최적화하였다.^{8,9)} SMT 공정조건들은 많은 연구를 통해 최적화되었지만, 실제 제조 환경에서 모든 변수를 완벽하게 관리할 수 없다는 한계가 여전히 있다.¹⁰⁾ 이렇기 때문에 여전히 SMT 공정의 불확실성으로 인한 결함 발생하고 있다.

특히, PCB의 패드 디자인은 fillet height 및 솔더 젖음 특성은 솔더 형상에 영향을 미치게 되어 제품 신뢰성에 영향을 주게 된다.^{11,12)} 따라서, 제품 개발단계에서 효율적인 설계와 제품의 신뢰성을 높이기 위해, 수동소자의 조립 및 접합 신뢰성에 영향을 미치는 패드 디자인인자들에 대한 평가가 필요한 실정이다. 본 연구에서는 실험 계획법(DOE)을 이용하여 PCB의 패드 디자인이 SMT 공정의 조립 및 접합 신뢰성에 미치는 영향을 분석하였다. 수동소자를 조립하기 위해 두 개의 패드가 필요로 하는데, PCB의 패드 길이, 너비 및 두 패드간 거리를 변수로 하여 실험 계획법을 수립하였다. 이에 따라, reflow 공정 후 수동소자의 조립불량률과 수동소자와 PCB 사이의 전단력을 도출하였다.

2. 실험방법

2.1. PCB 시편 제작

본 연구에서는 아래와 같이 설명된 SMT 공정을 통해 수동소자가 실장된 PCB시편을 제작하였다. 수동소자는 0.6 mm × 0.3 mm (0603)크기의 무연 저항칩과 솔더는 Sn-

3.0Ag-0.5Cu (SAC305)를 사용하였다. 1.0 mm 두께의 FR-4를 PCB기판으로 사용하였다. Fig. 1(a)와 같이, 직사각형 모양의 SMD (Solder Mask Defined) 패드를 PCB에 제작하였다. PSR(Photo Solder Resist) 코팅 및 OSP(Organic Solderability Preservatives)를 이용한 표면 처리하였다. Fig. 1(b)와 같이, aperture가 0.375 × 0.325 mm² 이고 0.20 mm 간격인 스텐실을 이용하여 솔더 페이스트를 PCB 기판에 프린팅 하였다. 프린팅 속도와 스퀴즈 압력의 조건 각각 20 mm/s와 15 kgf를 사용하였다. 저항칩은 mounter machine을 이용하여 솔더패드 위에 실장하였다. Reflow 공정은 RSS(Ramp-Soak-Spike)방식을 사용하였다.¹³⁾

2.2. SMT에 대한 실험 설계(DOE)

패드 디자인이 조립 결함 및 접합 신뢰성에 미치는 영향을 분석하기 위해 다양한 패드 디자인을 사용하여 SMT 조립을 수행하였다. Fig. 1(a)에서 볼 수 있듯이, 패드 디자인의 변수는 길이(length), 너비(width) 및 두 패드간 거리(distance)로 구분할 수 있으며, 이에 대한 실험계획법을 Table 1에 정리하였다. 패드의 길이 및 두 패드간 거리는 3 수준, 패드의 너비는 2 수준으로 설정하였다. Fig. 1(c)에서 확인할 수 있듯이, 극한의 조립 조건을 모사하기 위해 mounter machine을 이용하여 저항칩을 실장할 때, 두 패드의 정 가운데에 저항칩을 장착하지 않고 인위적으로 오배치(misplacement)를 인가하여 실장하였다. 톱스톤 불

Table 1. Pad design variables for DOE

Level	Length (mm)	Width (mm)	Distance (mm)
1	0.30	0.235	0.20
2	0.33	0.275	0.25
3	0.36	-	0.30

량을 유도하기 위해 오배치는 x 및 y방향으로 0603칩 저항의 세로 길이의 절반인 150 μm 를 각각 인가하였다. 리플로우 공정 이후, 저항칩의 톱스톤 불량은 AOI(Automatic-optical-inspection)시스템을 이용하여 측정하였다. 본 시스템에 저항칩의 실장위치를 입력하고, 해당 위치의 저항칩에 톱스톤불량 여부를 확인하였다.

3. 결과 및 고찰

3.1. 조립신뢰성

Reflow 공정 동안 솔더가 녹게 되면 솔더의 젖음성(wettability)으로 인해 저항칩의 전극에 달라붙는다. 이때 솔더의 습윤력(wetting force)이 저항칩 양끝단에서 인가된다. 저항칩의 오배치는 저항칩의 양끝단에 인가되는 습윤력의 불균형을 야기하여, 수동소자의 한쪽 끝단이 패드나 솔더와 떨어져, 톱스톤 불량이 발생하게 된다. 조립 불량에 대한 패드 디자인 변수의 영향을 분석하기 위해, 패드 디자인에 따른 조립불량 불량률을 계산하였다(Fig. 2 및 Table 2). Fig. 2(a)와 (b)는 각각 저항칩의 x방향과 y방향 오배치에서의 패드 디자인변수 (길이, 너비, 두 패드 간 거리)에 따른 조립 불량률을 나타낸다. 칩저항의 오배치 방향과 상관없이 패드의 길이가 증가할수록 조립 불량률이 증가하였다. 패드의 길이가 증가할수록 저항칩의 전극이 아닌 패드에 젖는 솔더의 양이 늘어나게 된다. 저항칩이 오배치된 방향에 있는 전극과 그 반대방향에 있는 전극에 젖는 솔더의 양이 불균형해짐에 따라 저항칩에 인가되는 습윤력의 불균형이 조립불량을 유도하게 된

것이다. 유사하게 패드 폭이 길수록 평균 조립 불량률이 높아졌다. 한편, 평균 조립불량률은 두 패드간 거리가 0.25 mm인 경우가 가장 낮아 최적의 조건임을 확인할 수 있다.

그리고, 평균적으로는 y방향보다 x방향에 대한 오배치가 인가되었을 때 조립불량률이 높은 것을 확인하였다. 패드의 너비 및 패드 간 거리의 변화에 따른 영향은 x방향으로 오배치가 인가되었을 때보다 y방향으로 오배치가 인가되었을 때보다 더 큰 것을 확인할 수 있다. 조립공정에서 x방향에 대한 오배치에 대한 불확실성을 줄이는 것이 조립불량률을 낮추는데 도움이 됨을 보여준다.

3.2. 접합신뢰성

외력 혹은 충격에 저항하는 능력에 대한 지표로 사용되는 전단력을 도출하기 위하여 패드의 디자인변수에 따라 전단테스트를 수행하였다.¹⁴⁾ 전단 속도와 전단 높이는 각각 0.1 mm/s와 0.2 mm 조건을 사용하였다. 패드 디자인변수에 따른 전단 시험의 평균값은 Table 3과 같다. 디자인 6번(length = 0.3 mm, width = 0.275 mm, distance = 0.3 mm)의 접합력이 가장 높은 9.31N으로 나타났다. 반면, 디자인 13번(length = 0.36 mm, width = 0.235 mm, distance = 0.2 mm)은 7.19N으로 가장 낮은 접합력을 보였다. 동일한 부피의 솔더 페이스트를 사용하였지만, 전단력의 결과는 23%까지 차이가 발생하는 것을 확인하였다. 패드의 디자인변수에 따른 전단력 경향을 알아보기 위해 Fig. 3에 패드 디자인변수에 따른 전단력 결과를 도식화하였다. 패드의 길이가 증가할수록 전단력이 감소하

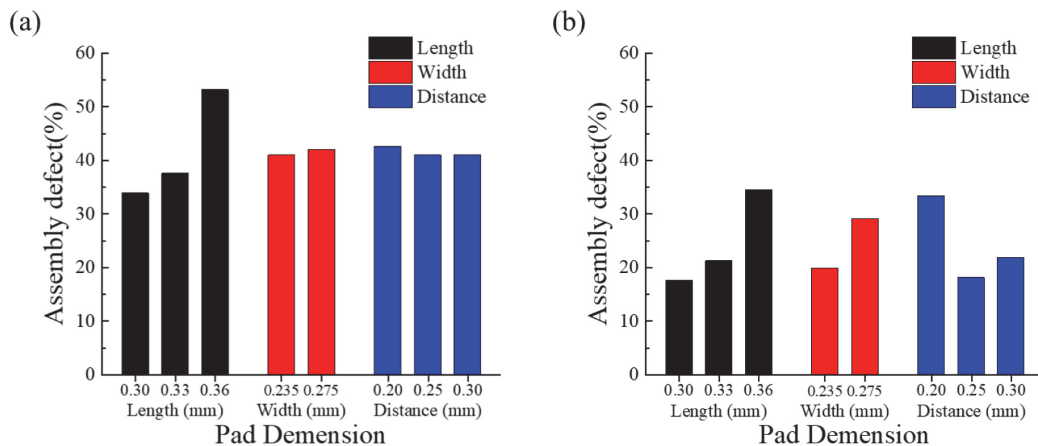


Fig. 2. The assembly defect rate according to pad parameter (l , w , and d): (a) x-directional misplacement and (b) y-directional misplacement.

Table 2. The assembly defect rate according to pad design variables when the misplacement of chip resistor was 150 μm at x-and y-direction, respectively

Misplacement direction	Pad length [mm]			Pad width [mm]		Pad distance [mm]			Ave.
	0.3	0.33	0.36	0.235	0.275	0.2	0.25	0.3	
X	33.9%	37.6%	53.2%	41.0%	42.1%	42.6%	41.0%	41.1%	41.6%
Y	17.7%	21.3%	34.5%	19.9%	29.2%	33.4%	18.2%	21.9%	24.5%

Table 3. The shear force results with respect to the pad dimension

Design No.	Pad Dimension (mm)			Shear Force (N)
	Length	Width	Distance	
1	0.3	0.235	0.2	7.41
2			0.25	8.35
3			0.3	8.48
4		0.275	0.2	7.93
5			0.25	8.82
6			0.3	9.31
7	0.33	0.235	0.2	7.55
8			0.25	7.43
9			0.3	7.96
10		0.275	0.2	7.61
11			0.25	8.64
12			0.3	9.29
13	0.36	0.235	0.2	7.19
14			0.25	7.53
15			0.3	8.17
16		0.275	0.2	7.47
17			0.25	8.49
18			0.3	8.18

는 반면에, 패드의 폭과 두 패드간 거리가 증가할수록 전단력은 증가하는 경향을 보였다.

패드 디자인변수에 따른 솔더의 접합형상 사이의 관계를 알아보기 위해 광학현미경을 이용하여 단면분석을 진행하였고, 그 결과를 Fig. 4에 정리하였다. Fig. 4(a)와 (b)의 결과를 비교하면 두 패드간 거리에 따른 솔더의 형상을, Fig. 4(a)와 (c)의 결과를 비교하면 패드의 너비에 따른 솔더 형상을 비교할 수 있다. 패드의 너비 혹은 두 패드간 거리가 길어질수록 더 많은 양의 솔더가 패드 부근에 형성되는 것을 확인할 수 있다. 리플로우 중에 솔더가 녹으면 PCB보다 전극 혹은 패드에 대한 젖음성이 더 크다. 이로 인해 패드의 길이가 x방향으로 길어지면, 패드의 윗 부분과 저항칩의 전극의 옆면 사이에 공간이 증가하여 리플로우 공정 동안 해당 공간에 더 많은 솔더가 형성될 수 있었던 것이다. 이로 인해, PCB와 저항칩 사이의 접합력이 향상됨을 확인하였다. 한편, Fig. 4(a)와 (d)를 비교하면, 저항칩의 전극에 형성되는 패드 길이가 긴 경우(Fig. 4(d))에 전극에 형성된 솔더의 양이 패드의 길이가 짧은 경우(Fig. 4(a))보다 적었다. 이러한 솔더양의 감소는 외력으로부터 지지하는 솔더가 저항칩과 PCB 사이에 충분히 형성되지 않아, 전단력이 낮아지게 된 것이다. 그리고, Fig. 5과 같이, 전단시험 결과를 패드의 폭과 두

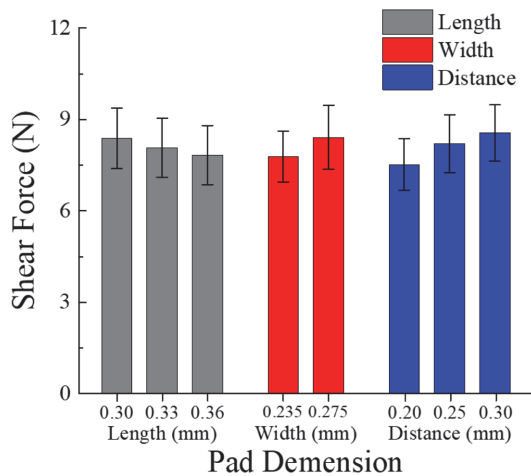


Fig. 3. The shear force results with respect to the pad dimension.

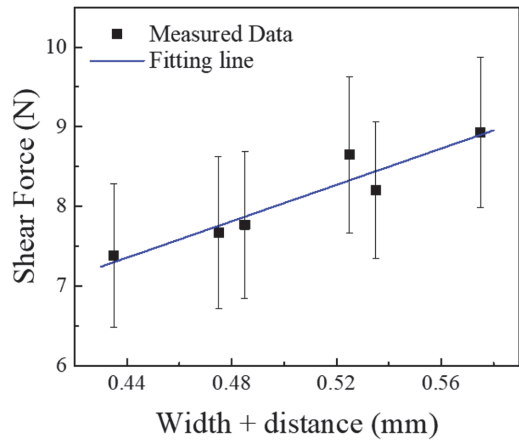


Fig. 5. The result of shear test according to the x-directional length of pad (pad width + distance between pads).

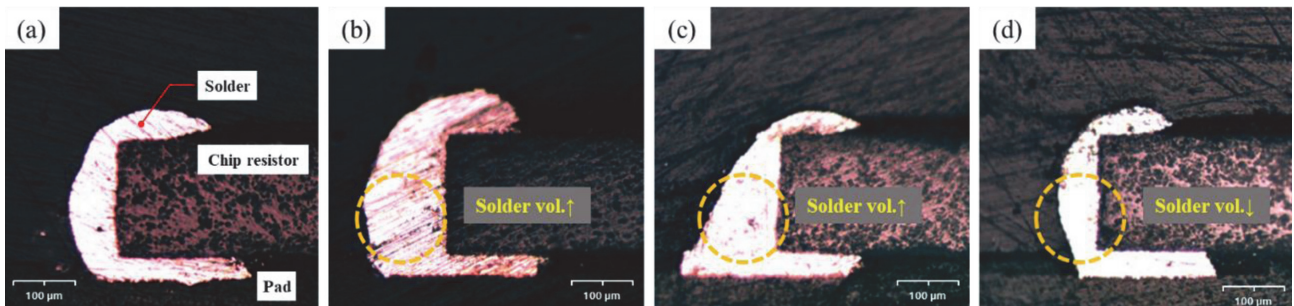


Fig. 4. The cross-sectional image for solder joint according to pad design; (a) No. 1, (b) No. 3, (c) No. 4, and (d) No. 13. Each parameter of the pad design was summarized in Table 3.

패드간 거리의 합을 변수로 두고 도식화하였다. 패드의 폭과 두 패드간 거리의 합이 증가할수록 솔더 조인트의 전단력이 증가하는 것으로 관찰될 수 있다. 이러한 결과는 저항칩의 패드 디자인설계에서 패드의 폭과 두 패드간 거리의 합을 증가시켜 접합 신뢰성을 높일 수 있음을 보여준다.

4. 결 론

본 연구에서는 실험계획법을 패드 디자인변수에 적용하여 SMT 공정의 조립 신뢰성 및 접합 신뢰성에 대해 분석하였다. 하나의 0603 저항칩을 조립하기 위해 두 개의 패드를 사용하는데, 패드의 길이, 패드의 너비 및 두 패드간 거리를 변수로 두어 SMT 공정실험을 진행하였고, 조립불량을 유도하기 위해 x 및 y 방향으로 저항칩을 오배치를 인가하여 조립하였다. 각 패드의 변수에 따라 조립불량률을 확인하였고, 패드의 길이가 가장 민감한 인자임을 확인하였으며, y방향보다 x?향으로의 오배치가 조립 신뢰성에 큰 영향을 미치는 것을 확인하였다. 패드 디자인에 따른 솔더의 거동분석을 통한 불량률 개선효과에 대한 분석이 추가적으로 필요하다. SMT공정 파라미터(리플로우 온도 및 오배치 등)에 따른 솔더 거동 분석 및 최적 패드디자인 도출을 위해 솔더의 거동을 CFD 시뮬레이션을 통한 조립 불량률 개선에 대한 추가적인 연구가 필요하다. 또한, 전단테스트를 통해, 솔더형상에 따라 PCB와 저항칩 사이의 접합신뢰성이 크게 영향을 미치는 것을 확인할 수 있었다. 반도체 패키지 설계단계에서 패드 디자인변수에 따른 조립 및 접합신뢰성을 고려할 필요가 있을 것으로 보인다.

감사의 글

This research was also supported by a National Research Foundation of Korea (NRF) grant funded by the Korean Government (MEST) (2021M2E6A1084690)

References

1. L. Bai, X. Yang, and H. Gao, "Corner point-based coarse-fine method for surface-mount component positioning", 14(3), 877-886 (2017).
2. S. Yu, J. Sohn, S. Park, and B. J. Oh, "Efficient operation of a multi-functional surface mounting device", 33(3-4), 797-800 (1997).
3. C. Marques, N. Lopes, G. Santos, I. Delgado, and P. Delgado, "Improving operator evaluation skills for defect classification using training strategy supported by attribute agreement analysis", 119, 129-141 (2018).
4. Y.-G. Kim and T.-H. Park, "SMT assembly inspection using dual-stream convolutional networks and two solder regions" 10(13), 4598 (2020).
5. M.-H. C. Li, A. Al-Refaie, and C.-Y. Yang, "DMAIC approach to improve the capability of SMT solder printing process", 31(2), 126-133 (2008).
6. C. Y. Huang, Y. H. Lin, K. C. Ying, and C. L. Ku, "The solder paste printing process: critical parameters, defect scenarios, specifications, and cost reduction", Soldering & Surface Mount Technology, 23(4), 211-223 (2011).
7. M. Rusdi, M. Abdullah, M. Ishak, M. A. Aziz, M. Abdullah, P. Rethinasamy, and A. Jalar, "Three-dimensional CFD simulation of the stencil printing performance of solder paste", 108(9), 3351-3359 (2020).
8. E. H. Amalu, Y. Lui, N. Ekere, R. Bhatti, and G. Takyi, "Investigation of The Effects of Reflow Profile Parameters on Lead-free Solder Bump Volumes And Joint Integrity", AIP Conference Proceedings, 639-644 (2011).
9. N. C. Lee, "Optimizing the reflow profile via defect mechanism analysis", Soldering & Surface Mount Technology, 11(1), 13-20 (1999).
10. D. Li, L. Wang, and Q. Huang, "A case study of SOS-SVR model for PCB throughput estimation in SMT production lines", 2019 International Conference on Industrial Engineering and Systems Management (IESM),-6(2019)
11. W. H. Chen, K. N. Chiang, and S. R. Lin, "Prediction of liquid formation for solder and non-solder mask defined array packages", Journal of Electronic Packaging, 124(1), 37-44 (2002).
12. Y. Wang, M. Olorunyomi, M. Dahlberg, Z. Djurovic, J. Anderson, and J. Liu, "Process and pad design optimization for 01005 passive component surface mount assembly", Soldering & Surface Mount Technology, 19(1), 34-44 (2007).
13. K. C. K. Chuan, S. Sutiono, B. Senthil, K. G. T. Tiam, K. S. Sig, R. S. Kumar, Z. R. Fen, and C. Li-San, "Voids Reduction in Fine Pitch SiP Assembly Through Optimization of Reflow Parameters", IEEE 22nd Electronics Packaging Technology Conference (EPTC), 291-296 (2020).
14. M. Branzei, M. Vladescu, B. Mihalescu, L. Plotog, and G. Varzaru, "Investigations related to electrically conductive adhesives pastes usage on SMT lines", 2018 IEEE 24th International Symposium for Design and Technology in Electronic Packaging (SIITME), 355-360 (2018).