

논문 2022-59-9-17

반도체 회로에서의 내방사선 설계 방법 연구 동향

(Recent Trends in Radiation-Hardened Circuit Design)

김태영*, 이종호**, 송익현***

(Taeyeong Kim, Jongho Lee, and Ickhyun Song[©])

요약

Single-Event Effects(SEE)와 Total Ionizing Dose(TID)와 같은 방사선 유발 열화 현상으로부터 회로의 신뢰성을 확보하는 것이 점점 중요한 문제가 되고 있다. 본 논문은 내방사선 설계를 위한 다양한 최신 기법 중 몇 가지 방안을 살펴보고, 구체적으로 1) 인버스 모드(Inverse mode)의 특성을 이용한 SEE 완화 기법, 2) ESD 회로 기반의 SEE 완화 회로, 3) Flip-Flop(FF)의 SEE 오작동을 방지하기 위한 Radiation-Hardened-By-Design(RHBD) FF 회로, 4) DC-DC 변환기에서 SEE를 완화하는 ASET(Analog Single-Event Transients)을 감지하는 회로, 그리고 5) TID 완화를 위한 P-edge NMOS 회로 기법을 소개한다. 언급된 각 기법의 동작 원리를 설명하고 개선점에 대해 논의한다.

Abstract

To secure reliability of circuits from radiation-induced degradation or malfunction such as Single-Event Effects (SEE) and Total Ionizing Dose (TID) has become more and more important. In this paper, several recent solutions are reviewed among various techniques for mitigating radiation effects. Main contents include 1) the SEE mitigation utilizing the properties of the inverse mode, 2) the SEE-mitigation circuit based on Electrostatic Discharge (ESD) protection circuit, 3) the Radiation-Hardened-By-Design (RHBD) Flip-Flops (FFs) to prevent SEE, 4) the Analog Single-Event Transients (ASET) detection in a DC-DC converter, and 5) P-edge NMOS for TID mitigation. Operation principles of each techniques are explained and discussed in terms of improvements in radiation hardening.

Keywords : Electrostatic discharge(ESD), Inverse mode(IM), Radiation hardening by design(RHBD), Single-event effects(SEE), Total ionizing dose(TID)

I. 서론

우주와 같은 극한 환경에서 동작하는 회로 및 전자 시스템 설계는 일반 전자 부품과 다르게 성능 요구 조건 뿐만 아니라 방사선 영향까지 고려해야 한다. 우주

방사선이 전자 부품에 미치는 여러 가지 영향 중 주요한 메카니즘은 Single-Event Effects(SEE)와 Total Ionizing Dose(TID)으로 전자는 고에너지 입자와의 충돌로 인해 발생하는 순간적인 오동작을 의미하고 후자는 장시간에 걸친 방사선 노출로 열화가 누적되는 현상을 의미한다^[1-5].

SEE가 발생하면 충돌하는 입자에서 반도체 칩으로 전해진 과도한 에너지로 인해 정상 상태보다 많은 수의 여분의 전자-정공 쌍이 생성되고 이는 과도 전류의 형태로 터미널에서 나타난다. 따라서 반도체 회로의 정상 동작을 방해하고 데이터의 신뢰성도 떨어뜨리게 된다. 이에 비해 TID는 절연막 등에 트랩의 수가 증가함에 따라 누설 전류가 발생하거나 문턱 전압 값이 바뀌고 노출 정도에 따라 이득 등의 성능 지표도 열화하는 특

*학생회원, ***정회원, 한양대학교 융합전자공학과 (Department of Electronic Engineering, Hanyang University)

**학생회원, 강남대학교 IoT전자공학과(Department of IoT Electronic Engineering, Kangnam University)

© Corresponding Author(E-mail : isong@hanyang.ac.kr)

※ 본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였음. 또한 2022년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2022M1A3B8076511).

Received : August 4, 2022 Revised : August 22, 2022

Accepted : August 26, 2022

정이 있다.

전자 부품에서의 방사선 영향을 완화하기 위해 여러 가지 아이디어 및 기법이 제안되었고 이는 크게 공정 과정에서의 수정 및 변경을 포함한 RHBP (Radiation-Hardening-By-Process)와^[6, 7] 설계적인 기법의 RHBD (Radiation-Hardening-By-Design)으로 구분할 수 있다^[8, 9]. RHBP는 방사선의 영향을 최소화하도록 구성된 제작 및 공정 방법으로, TID, SEE 대한 내성을 강화할 수 있다. RHBP는 SEE 완화를 위해 Silicon-on-Insulator (SOI)와 Silicon-on-Sapphire (SOS) 프로세스 방법을 사용한다. SOI MOSFET은 Shallow Trench Isolation (STI) 및 Buried Oxide (BOX)로 된 절연 구조이기 때문에 극한의 환경에서 방사선에 대한 내성이 있다. 스케일링 및 고집적화로 인한 RHBP 기법의 한계를 극복하기 위해 경화 기술과 설계 기반의 경화 기술도 함께 활용된다. RHBD는 전통적으로 세 개의 동일 회로를 사용하고 투표 방식으로 신뢰성 있는 데이터를 결정하는 TMR (Triple Modular Redundancy)이 활용된다.

본 논문에서는 아날로그 및 디지털 회로 설계 관점에서 어떤 내방사선 기법이 최근에 제시되었는지 소개하고 각 기법의 주요 아이디어 및 적용된 방법과 결과를 살펴볼 것이다. 본문 II. 1에서는 실리콘-게르마늄 이중 접합 양극성 트랜지스터(SiGe Heterojunction Bipolar Transistor, HBT)를 인버스 모드(Inverse mode)로 사용하는 SEE 완화 방법과 이를 전압 조절 발진기(Voltage-Controlled Oscillator, VCO)^[10]에 적용한 예를 설명한다. 본문 II. 2에서는 정전기(Electrostatic Discharge, ESD) 방지 회로를 응용한 SEE 완화 설계 방법을 소개한다^[11]. 다음 본문 II. 3과 4에는 각각 플립플롭(Flip-Flop)과 DC-DC 변환기에서 발생할 수 있는 방사선 효과를 완화하기 위한 RHBD 기술이 적용된 플립플롭과 DC-DC 변환기를 살펴본다^[12, 13]. 본문 II. 5에는 TID로 인한 영향을 설계 기반으로 완화할 수 있는 P-edge NMOS를 소개하고^[14] 결론에서 본 논문을 마무리한다.

II. 본 론

1. 인버스 모드 (Inverse Mode) 기법

인버스 모드는 SiGe HBT 프로세스에서 적용 가능한 방법으로 일반적인 SiGe HBT는 컬렉터 터미널 전압이 이미터 보다 높은 값으로 (NPN인 경우) 걸려서 동작

영역이 결정된다. 이에 비해 인버스 모드는 물리적인 이미터 터미널에 컬렉터 보다 높은 전압이 연결되어 포워드 모드랑 반대되는 바이어스 동작 조건에 놓이게 된다. 인버스 모드의 경우, SEE가 발생할 때 기관 쪽에서 발생한 과도 캐리어가 서브컬렉터, 컬렉터 접합에 의한 장벽 때문에 출력 쪽인 이미터에 도달하기 어려워 과도 전류 (Single-Event Transient)의 지속 시간이나 피크 값이 상대적으로 작은 장점이 있다^[15].

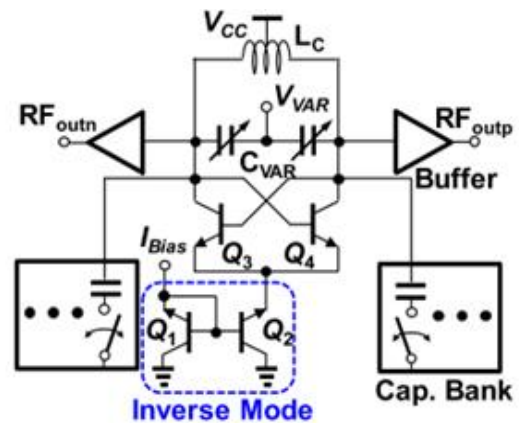


그림 1. 인버스 모드를 활용한 전압 조절 발진기 (VCO) 회로^[10]

Fig. 1. Voltage-controlled oscillator(VCO) circuit with inverse-mode SiGe HBTs^[10].

이 특성을 이용한 최근 연구로 인버스 모드가 VCO에 적용된 사례가 있고 해당 회로의 구성은 그림 1과 같다^[10]. 기본적인 VCO 회로의 구성은 음의 값을 갖도록 크로스 연결된 트랜지스터 Q3와 Q4가 있고 주파수 공진을 위해 인덕터와 커패시터가 추가되었다. 공진 주파수의 튜닝을 위해 가변 커패시터 뭉치 (Cap. bank)블락이 사용되었고 출력을 안정적으로 다음 회로로 전달하기 위한 버퍼 단이 포함되었다. 인버스 모드는 브랜치 전류를 만드는 전류 소스와 미러 부분에 적용되었고 회로의 SEE에 대한 민감도에 대한 연구가 진행되었다.

레이저를 이용한 모사 실험 결과는 그림 2와 같다. 포워드 모드로 동작하는 전류 소스 및 미러를 사용한 경우 SEE 상황에서의 주파수 스펙트럼은 그림 2.1에 나타났다. 정상 상태의 주파수 반응인 검정색에 비해서 SEE가 발생한 빨간선에 생긴 변화가 그림 2.2의 인버스 모드 경우보다 크다는 것을 알 수 있다. 즉 인버스 모드 SiGe HBT를 적용하여 과도 전류의 영향을 더 줄일 수 있음을 확인할 수 있고 이는 저잡음증폭기(LNA), 고주파 스위치에서도 개선점이 확인되었다^[10].

2. ESD 보호 회로 기법

ESD 회로는 반도체 칩 내부를 외부의 정전기로부터 보호하기 위한 회로로 일반적으로 다이오드 및 클램프 회로 등을 포함한다. ESD 회로는 외부에서의 펄스를 빠르게 전원이거나 접지로 빼내는 역할을 하는데 이를 활용하여 SEE로 인해 발생한 과도 전류를 줄이는데 적용 가능하다. 제안된 SEE 완화 회로는 ESD 회로를 기본으로 만들어졌고 양의 혹은 음의 과도 전류가 발생했을 때 전원 혹은 접지 쪽으로 전류를 흐르게 하도록 추가적인 다이오드가 사용되었다 (그림 3)^[11].

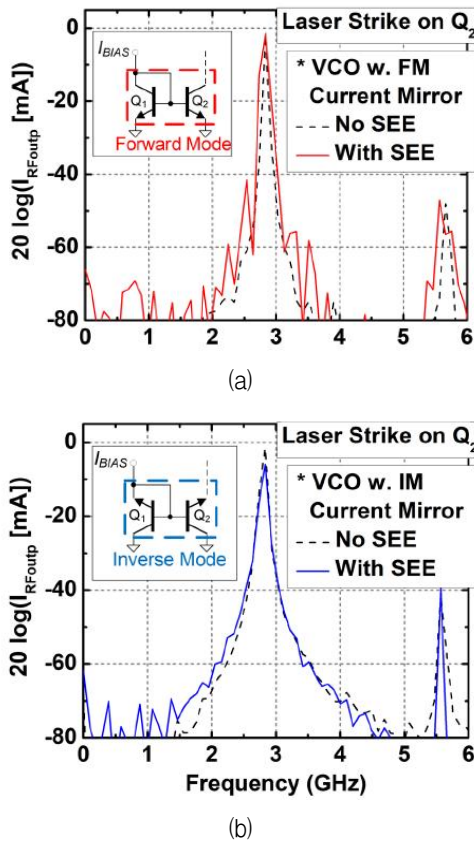


그림 2. (a) 포워드 모드 VCO; (b) 인버스 모드 VCO에서 레이저가 전류 미러 SiGe HBT(Q₂)에 조사될 때의 주파수 스펙트럼^[10]

Fig. 2. Frequency spectrum when the laser was irradiated to the current mirror SiGe HBT (Q₂) in (a) FM VCO; (b) IM VCO^[10].

이 SEE 완화 회로는 고주파 스위치와 집적되어 설계되었고 SEE에 대한 과도 전류 실험은 그림 4와 같다. ESD 기반의 SEE 완화 회로가 사용된 경우 과도 전류의 최대값이 줄어드는 것을 확인할 수 있고 보호할 회로가 어떤 구성인지에 따라 개선의 정도, 반응성에 차이가 있다. 예를 들어, 그림 4에서는 스위치 설계에

Body floating이 적용되었는지 혹은 미적용인지에 따라 SEE에 대한 반응이 다른데, 이것은 SEE로 발생한 과도 전류가 흘러나가는 경로의 임피던스가 어느 정도인지에 따라 차이가 나게 된다. Body floating을 적용한 경우 Well쪽으로 큰 저항이 연결되고 이로 인해 과도 전류의 관점에서 오픈에 가깝게 보이므로 SEE에 더 민감한 특성을 나타낸다.

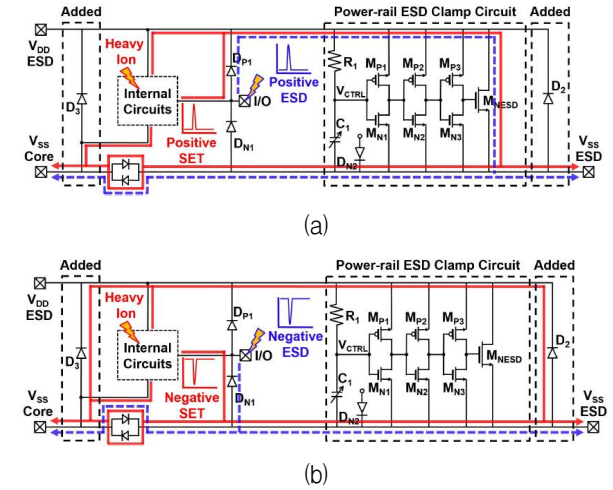


그림 3. SEE 완화를 위한 RC 기반의 전력 레일 ESD 클램프, 역병렬 다이오드 및 SET 완화 회로 구성: (a) Positive ESD 및 SET의 방전 전류 경로; (b) Negative ESD 및 SET의 방전 전류 경로^[11]

Fig. 3. An RC-based power rail ESD clamp, antiparallel diodes, and an SET-reduction circuit configuration for SEE mitigation. Discharging current paths for (a) positive; (b) negative SETs^[11].

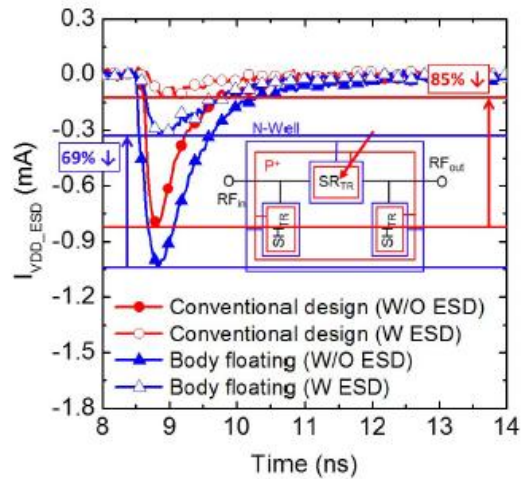


그림 4. 직렬 스위칭 트랜지스터가 레이저에 조사되었을 때 측정된 과도 전류^[11]

Fig. 4. Measured transient current when the laser was irradiated to the series switching transistor^[11].

3. RHBD Flip-Flop

디지털 회로에서 일반적으로 SEE 완화를 위한 기법은 중간 노드에서 SEE 민감도를 줄이는 효과를 보인다. 하지만 플립플롭의 제어 입력을 활용한 인터페이스 회로의 말단 노드는 여전히 SEE에 취약한 단점이 있다. SEE는 CMOS 제조 기술 고도화의 부작용을 야기함으로써 정상 동작을 어렵게 만든다. 이를 해결하기 위해 다음 연구 논문에서는 말단 노드에서 SEE 문제를 해결하기 위해 Positive SET (Single-Event Transient, 과도 전류) 완화 (PSM) 회로와 Bidirectional SET 완화 (BSM) 회로를 제안한다^[12].

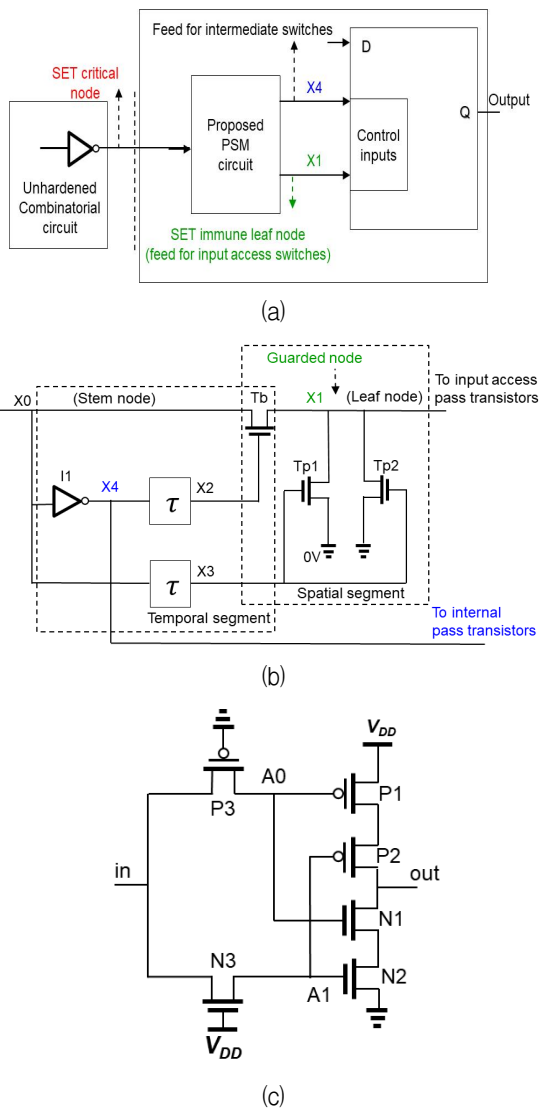


그림 5. Positive SET 완화 회로의 설계: (a) PSM 회로를 가지는 단순화된 RHBD FF; (b) PSM 회로; (c) 시간의 세그먼트에서 지연요소 τ ^[12]
Fig. 5. Schematic of the positive-SET mitigation circuit: (a) Simplified RHBD FF with a PSM circuit; (b) PSM circuit; (c) Delay element τ in the time segment^[12].

가. Positive SET 완화 (PSM) 회로

PSM 회로는 패스 트랜지스터가 입력 접근 소자로 사용된 플립플롭의 제어 입력에서 Positive (로직 0 to 1)의 SET를 완화한다 (그림 5). PSM 회로의 설계는 NMOS pass 트랜지스터가 입력 접근 소자로 사용되고 오직 SET의 양의 방향으로만 영향을 받는 플립플롭의 제어 입력을 기반으로 한다.

PSM 회로는 스템 노드 X0에서 경화되지 않은 회로로부터 인풋을 가지고, 그것을 듀얼 아웃풋으로 변환한다. 제안된 PSM회로는 입력 노드 X0와 출력 노드 X1, X4를 가진다. 입력 신호 X0에서 예측된 펄스 너비의 SET 효과를 완화하기 위해 인버터 I1과 τ 를 이용하여 시간 지연을 주었다. X1 노드에서 SEE를 완화시키고, X0가 High signal을 받을 때 확실한 GND 값을 받기 위해 블로킹 트랜지스터(Tb), NMOS Pull-down 트랜지스터(Tp1, Tp2)를 연결시켜 주었다. 따라서 노드 X0에서 원하지 않는 Positive SET를 생성할 때, 블로킹 트랜지스터가 이를 차단해 X1으로 전달되는 것을 막아 준다. 따라서 플립플롭에 잘못된 입력 값을 주는 것을 차단한다.

나. Positive 및 Negative SET 완화 (BSM) 회로

BSM 회로는 전송 게이트가 입력 접근 요소로 사용된 플립플롭의 제어 입력에서 Positive뿐만 아니라 Negative의 SET을 완화한다.

다. 전체 회로 구성

BSM 회로는 하나의 입력과 네 개의 출력으로 구성된 회로로, 입력 노드 X0가 경화되지 않은 조합 회로와 인터페이스하고 노드 X1, X3, X5 와 함께 플립플롭의 제어에 협력한다 (그림 6). PSM 회로와 유사하게 인버터 I1과 τ 를 이용해서 SET에 대한 딜레이를 만들고, Pull-down 트랜지스터와 추가로 Pull-up 트랜지스터를 X5에 연결해주어 양방향 RHBD가 가능하도록 해준다. 또한, 블락킹 트랜지스터 Tb를 출력 노드 X1, X5 앞에 각각 연결해준다. 인버터 I1은 지연해주는 효과도 있지만, 중요한 것은 X0와 X3가 상호배타적인 관계를 유지할 수 있게 해준다.

라. 동작 원리

BSM 회로의 Positive SET 완화 부분에서는 PSM과 동일하게 Tb1과 Pull-down 트랜지스터를 통해 이루어지고, Negative SET완화 부분에서는 Tb2와 Pull-up

트랜지스터를 통해 플립플롭의 제어 입력을 조절하여 플립플롭의 저장 기능을 수월하게 제어한다. 플립플롭을 제어할 때 제안된 회로에서 X0의 SET가 가장 중요하다. 그래서 제안된 회로는 X0에서 SET를 완화시켜 주었다. 지연보다 더 짧은 펄스의 SET는 블로킹 트랜지스터가 차단한다.

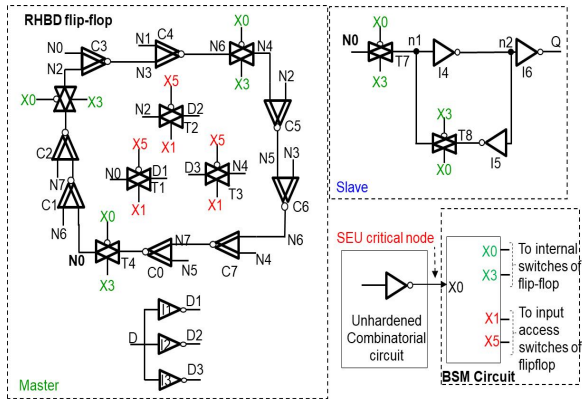
여 전력소모와 트랜지스터 수가 개선되는 것을 확인할 수 있다.

기존의 설계된 플립플롭 회로에서는 입력 노드와 리프 노드에서 SEE에 취약하다. 제안된 PSM, BSM 회로는 노드 보호 원리를 사용하기 때문에 예상된 펄스에서는 SET를 차단해준다. 제안된 PSM, BSM회로는 리프 노드의 하전 입자 타격에 면역이다. RHBD FF의 결합으로 예상된 펄스폭에 대한 SET를 차단해서 SEE의 완전한 해결책을 제공할 수 있다.

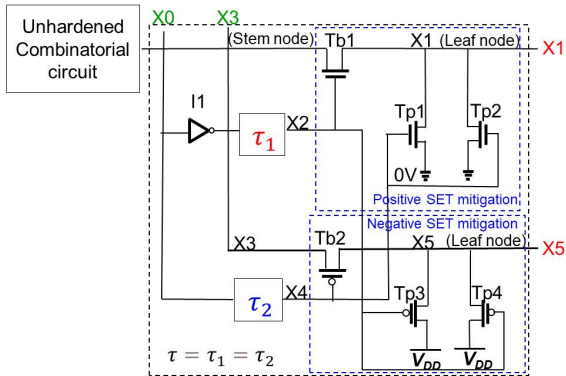
표 1. PSM 및 BSM 회로의 성능 비교^[12]

Table 1. Performance comparison of PSM and BSM circuits^[12].

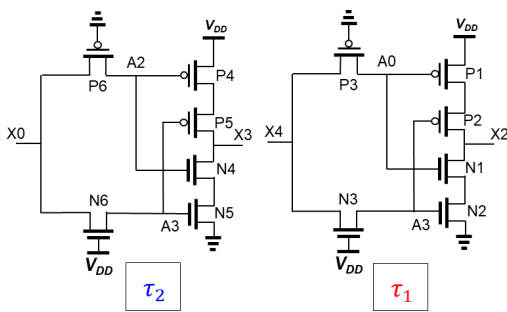
RHBD Type	SET tolerance		Dynamic Power (μW/MHz)	Leakage power (μW)	No. of transistors
	Leaf node (ps)	Input node (ps)			
NotCE [20]	40	210	0.017	0.109	38
NotNAND [21]	60	204	0.017	0.119	42
BSM-BFF	∞	270	0.014	0.129	40
PSM (proposed)	∞	210	0.007	0.055	17
BSM (proposed)	∞	208	0.010	0.063	20
NotCE-BFF	50	203	0.021	0.150	58



(a)



(b)



(c)

그림 6. 제안된 BSM 회로와 RHBD를 위한 플립플롭: (a) RHBD FF; (b) BSM 회로와 지연 요소^[12]

Fig. 6. Proposed BSM circuit and FF for RHBD: (a) RHBD FF; (b) BSM circuit and delay element^[12].

표 1은 제안된 회로가 NotCE, NotNAND, BSM-Basic Flip-Flop (BFF), NotCE-BFF와 비교하

4. RHBD DC-DC Converter

DC-DC 컨버터는 전력 공급을 위한 필수적인 요소이다. 혹독한 방사선 환경에서 칩의 원활한 동작을 위해 SEE와 TID 같은 부정적인 요인들을 고려해야 한다. 패턴 사이의 거리인 임계 치수(Critical dimension)가 점점 짧아지고 있는데 이로 인해 SEE의 영향이 더욱 심각해지고 있다. 이를 위해 제안된 다중 모드 이중화 설계는 일반적으로 제시되는 RHBD 중 하나이다. 기존의 이중화 기술은 회로나 이전 출력에서 판단 장치에 대한 세 번째 입력이 필요하기 때문에 면적 소비가 크지만, 면적을 줄이기 위한 추가 딜레이가 도입된다.

위와 같은 기존의 해결책들은 광역 전력 소비를 유발하거나 단일 이벤트 방지 성능의 평가지연과 같은 하위 요인들을 유발하기 때문에 초기 설계 과정에서 회로의 방사선 방지 성능을 평가하기 힘들게 한다. 이를 해결하기 위해 Analog Single-Event Transient (ASET) 감지와 강화 회로가 제안되었다^[13].

가. DC-DC 컨버터 분석

그림 7은 본 논문에서 연구한 부스트 DC-DC 컨버터의 시스템 토폴로지이다. 최대 전류 타입 Pulse Width Modulation (PWM)를 핵심으로 하는 제어 시스템은 전압 루프가 외부 루프인 이중 루프 구조이다. 피드백 신호와 오차 신호가 PWM 비교측정기로 보내지고, 전류 루프는 내부 루프이다. 주기별로 샘플링 되는 전류 신호는 귀환 신호와 함께 듀티 사이클을 제어한다.

논문 [16]에서 제안된 전류 모델에서 과도 전류 소스를 이중 지수 함수로 모델링 할 수 있는데, 그 모델은 과도전류 피크전류인 I_0 와 $\exp(-a^{-1})$ 와 $\exp(-b^{-1})$ 의 차의 곱으로 표현할 수 있다. a는 접합 수집 시상수이고, b는 입자 궤도의 초기 설정을 위한 시상수를 뜻하는데, 모두 프로세스와 관련이 있다. 이중 지수 과도 전류로 인해서 작동하기 쉽고 간편한 이 모델은 높은 에너지의 입자가 회로의 민감한 노드에 미치는 영향을 시뮬레이션 할 수 있고, 시뮬레이션 결과는 비교적 정확하기에 SEE 회로 레벨 시뮬레이션에서 여전히 사용되고 있다.

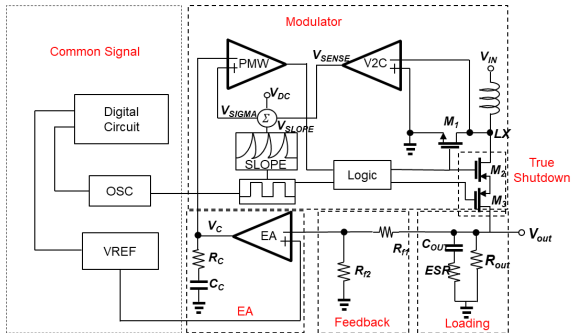


그림 7. DC - DC converter의 구조^[13]
Fig. 7. Configuration of the DC - DC converter^[13].

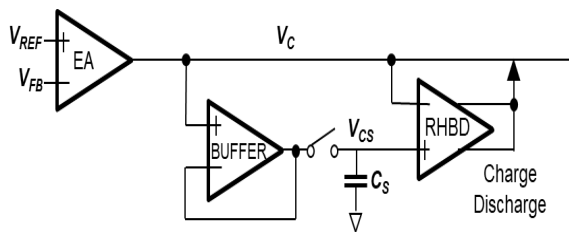


그림 8. 회로 레벨 싱글 이벤트 RHBD 회로^[13]
Fig. 8. Circuit-level single-event RHBD configuration^[13].

나. SEE 완화 설계 기법

그림 8은 SEE 방지 강화 회로 구성이다. 1단 아날로그 버퍼에 의해 EA 출력 공통 모드 레벨 V_C 와 샘플링

스위치, 샘플링 커패시터 C_S 사이의 연결이 고립된다. DC-DC 루프가 정상 동작을 가질 때, 샘플링 커패시터 C_S 의 전압이 일정한 값을 가진 상태로 유지되도록 C_S 전압을 새로 고치기 위해 샘플링 스위치는 100 클락 사이클마다 닫힌다. V_{CS} 는 회로의 순방향 입력 단자에 연결하기 위한 기준 전압이고, 회로의 역 입력 터미널은 EA의 출력 노드에 직접 연결되어 ASET을 감지한다. 강화 회로는 V_C 와 V_{CS} 를 비교하는데, ASET이 나타났을 때, V_{CS} 의 값이 V_C 보다 크다면 생성된 소스 전류가 EA 노드를 충전시키고, 반대의 경우 소스 전류가 EA 노드를 방전시킨다.

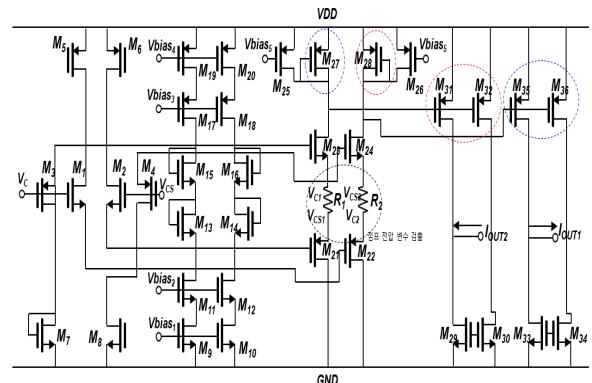


그림 9. SET RHBD 회로 배치도^[13]
Fig. 9. RHBD circuit topology for SET mitigation^[13].

그림 9는 SET RHBD 회로도도를 보여준다. SEE 상황에서 EA 출력 노드에서 ASET이 유발 되면, 전압 점프 변수인 ΔV_C 를 감지해 공통 모드 레벨이 증가하거나 감소한다. 두 개의 입력 전압 V_C 와 V_{CS} 로 인해 R_1 에는 V_{C1} 과 V_{CS1} 이, R_2 에는 V_{C2} 와 V_{CS2} 가 영향을 주게 되는데 V_{C1} 과 V_{CS1} 의 차이가 저항 R_1 에서의 전압 점프 변수가 되고, V_{C2} 와 V_{CS2} 의 차이가 저항 R_2 에서의 점프 전압 변수가 된다. 저항 R_1 에 흐르는 전류는 트랜스 컨덕턴스 g_m 와 저항 R_1 에서의 전압 점프 변수의 곱을 저항 R_1 으로 나눈 값이고, 저항 R_2 에 흐르는 전류는 트랜스 컨덕턴스와 저항 R_2 에서의 점프 전압 변수의 곱을 저항 R_2 로 나눈 값이다.

전압 마진을 $\pm 15mV$ 로 설정했는데 충전과 방전 분기가 이 값 이상일 때만 둘 중 하나의 분기가 정상적으로 동작하게 된다. 출력 전류 I_{OUT1} 의 값은 35번, 36번 NMOS의 채널 폭의 차이를 28번 NMOS의 채널 폭으로 나눈 값에 저항 R_2 에서의 전류를 곱한 것과 같고,

I_{OUT2} 의 값은 32번 NMOS의 채널 폭과 31번 NMOS의 채널 폭의 차를 27번 NMOS의 채널 폭으로 나눈 값에 저항 R1에서의 전류를 곱한 것과 같다. 앞서 언급한 바와 같이, I_{OUT1} 과 I_{OUT2} 의 값을 통해서 EA 노드의 충전과 방전을 결정할 수 있는데, 이것이 ASET을 억제하는 데 도움을 준다.

다. SEE 완화 기법의 효과

정상적인 상황에서의 SET 점프 진폭과 강화 후의 SET 점프 진폭의 값을 비교해보면 입자 충돌로 인한 Linear Energy Transfer(LET)에 거의 영향을 받지 않는다. 따라서 제안된 강화 회로가 ASET을 제한하는 능력이 크게 향상됨을 알 수 있다. 단일 이벤트 과도 효과를 억제하는 값은 1에서 정상적인 상황에서의 SET 점프 진폭 값을 강화 후의 SET 점프 진폭 값으로 나눈 것에 100%를 곱해준 뒤 뺀 값과 같다. 선형 에너지 전달(LET)이 100일 때, 억제 능력이 97.7%에 도달하고, 다른 LET 공간 입자에 대한 억제 능력은 86.7% 이상이다^[13].

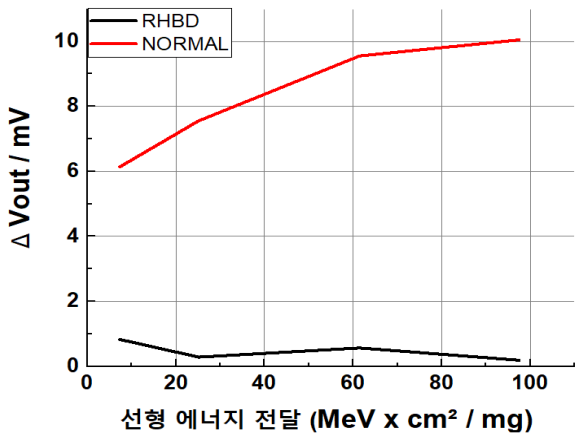


그림 10. 각각의 출력 전압에 대한 ASET의 영향^[13]
 Fig. 10. Influence of ASET on the normal- and the RHBD-case output voltages^[13].

5. P-Edge NMOSFET

방사선 환경에서 회로 및 시스템의 신뢰성이 중요한데, 다양한 방사선 유발 이상 현상 중 TID 메카니즘은 전자-정공 쌍의 생성으로 인해 발생한다. 전자는 이동성이 높아서 산화물에서 제거되지만, 이동성이 낮은 정공은 산화물 또는 계면에 갇히고 임계 전압(V_{th})의 음의 이동을 유발하여 누설 전류가 생긴다^[17-19]. PMOS 트랜지스터는 원래 임계 전압이 음의 값이므로 임계전압

의 크기를 더 크게 만들어 주어서 누설 전류의 문제가 되지 않지만, NMOS 트랜지스터에서는 오프 상태에서 누설 전류가 증가하면서 트랜지스터의 스위칭 작용에서 잘못 인지하여 칩의 기능적 오류가 발생할 수 있다.

TID 완화를 위한 RHBP기술은 높은 비용에 단점을 가지기 때문에 RHBD 기술이 제안되었다. 이는 설계 기법을 통해 방사선 영향을 완화한다. RHBD 기술 중 널리 알려진 ELT는 다이 면적을 증가시키는 문제가 있다. 제안된 회로는 P-edge NMOS라는 새로운 구조를 제안하고, ELT (Enclosed-Layout Transistor)와 비교하여 실현 가능한지를 확인한다^[14].

기존 NMOS 트랜지스터는 소스와 드레인 사이의 기생 채널을 통해 누설 전류가 흐른다. ELT NMOS는 가장자리를 제거하여 누설 전류가 막지만, ELT NMOS는 기존 NMOS의 3배 이상의 면적으로 인해 비용에 대한 문제가 있다. 제안된 NMOS의 구조는 그림 11에 있다.

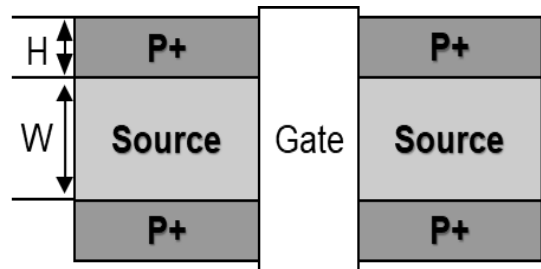


그림 11. P-edge NMOS 도안^[14]
 Fig. 11. P-edge NMOS layout^[14].

제안된 NMOS는 소스와 드레인의 가장자리를 고농도의 P형 벨트와 결합해서 P-edge NMOS이다. 높은 P도핑 벨트는 포획된 정공에 의한 유도 기생 채널을 방지할 수 있다. 하지만, TID가 계속 증가하면서 포획된 정공은 계속 증가하고, 유도 기생 채널이 형성될 수 있지만, 소스와 드레인에 P형 도핑 벨트로 인해 전위차가 제거되어 누설 전류를 막을 수 있으므로 TID 효과 개선을 위한 RHBD 기술로 사용할 수 있다.

제안된 NMOS의 실험은 다음 논문^[14]에서 진행하였다 (표 2). 기존의 NMOS는 3.9 μ m의 너비를 가질 때, 면적 3.9 μ m x 2.1 μ m을 가졌고, ELT NMOS는 214%, 제안된 회로는 1.1배인 거의 유사한 면적에서 너비 3.9 μ m 중 그림 12에서와 같이 H = 0.2 μ m의 조건으로 실험을 진행하였을 때, ELT NMOS에 비해서 제안된 회로는 48% 감소된 면적에서 누설 전류도 거의 유사하지만, 더 적은 양의 결과를 얻었다. 그리고 임계 전압의

표 2. NMOS 샘플 파라미터^[14]
Table 2. NMOS sample parameters^[14].

종류	면적 (normalized)
Normal NMOS	1
P-edge NMOS (H=0.1 μ m)	1.05
ELT NMOS	2.14
P-edge NMOS (H=0.2 μ m)	1.1
P-edge NMOS (H=0.3 μ m)	1.15

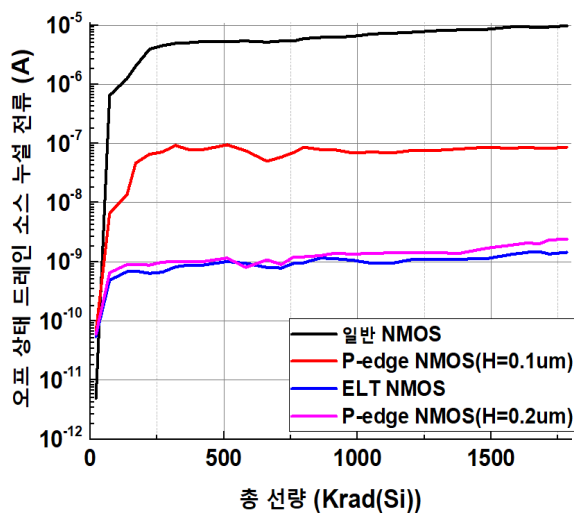


그림 12. DUT의 오프 상태 드레인-소스 누설 전류^[14]
Fig. 12. Off-state drain-source leakage current of the DUT^[14].

감소도 기존 NMOS보다 현저하게 줄어드는 것을 확인할 수 있었다.

P+로 도핑된 벨트의 두께인 H 값에 의해서도 누설 전류의 양이 변화되었는데, H의 크기가 너무 작을 때에는 기생 채널이 형성되는 것을 완전히 차단할 수 없기 때문에 차단되지 않은 누설 전류가 발생하였고, 일정 크기에서는 수치적 차이가 없는 실험 결과를 얻었다. 또한, 제안된 NMOS는 기존 NMOS와 비교해 면적의 차이가 크지 않기 때문에 ELT보다 훨씬 면적이 작다는 장점을 가지고 있다. ELT NMOS와 비교해서 제안된 회로는 RHBD 기술로 활용하기에 적절하다는 것을 보였다.

III. 결 론

방사선 영향으로 인한 문제를 해결하기 위해 방사선 경화 기술을 활용하여 여러 설계를 했다. IM VCO에서

과도 전류의 지속 시간이나 피크 값이 FM보다 작은 특성을 이용해서 과도 전류의 영향을 줄어 들었다. ESD 회로가 외부에서의 펄스를 빠르게 접지하는 특성을 활용해서 SEE로 인한 과도 전류를 줄이는 것에 이용하였고, 이는 스위치와 연결해서 실현 가능한지까지 검증까지 보였다. 다음 RHBD FF에서는 플립플롭의 리프노드가 SEE에 약하기 때문에 방사선의 영향으로 잘못된 동작이 쉽게 나타날 수 있다. 그래서 동작하지 않는 부분에 대해서는 차단 트랜지스터와 리프노드에 확실한 접지를 위한 Pull-down 트랜지스터를 이용하였고, 확실한 접지를 주어서 접지되었을 때에 SEE를 차단할 수 있었다. 제안된 DC-DC컨버터에서 SEE를 방지하기 위해 강화 회로를 사용하여 ASET을 자동으로 감지할 수 있고, ASET을 억제하는 능력의 효과적인 향상을 얻을 수 있다. 마지막으로 TID 완화를 위한 P-edge NMOS는 드레인 소스에서 발생하는 기생채널의 영향을 효과적으로 줄여주어 누설 전류를 차단하였고, 기존에 널리 사용되던 ELT NMOS와 비교함으로써 실현 가능한 회로임을 보였다. 본 논문에서 소개한 5가지 회로는 현재 사용되는 방사선 경화 기술이 적용되는 회로들과 비교함으로써 잠재적인 실행 가능한 RHBD 기술이 될 수 있다.

REFERENCES

- [1] Q. Zheng et al., "Impact of TID on Within-Wafer Variability of Radiation-Hardened SOI Wafers," in IEEE Transactions on Nuclear Science, vol. 68, no. 7, pp. 1423-1429, July 2021, doi: 10.1109/TNS.2021.3081116.
- [2] J. Chen et al., "ASET and TID Characterization of a Radiation Hardened Bandgap Voltage Reference in a 28-nm Bulk CMOS Technology," in IEEE Transactions on Nuclear Science, vol. 69, no. 5, pp. 1141-1147, May 2022, doi: 10.1109/TNS.2022.3152496.
- [3] A. Y. Borisov, A. Y. Borisov, A. A. Nefedova and G. V. Chukov, "The Electrical Bias Influence on the Total Ionizing Dose Degradation of the MOST Parameters," 2021 International Siberian Conference on Control and Communications (SIBCON), pp. 1-4, May 2021, doi: 10.1109/SIBCON50419.2021.9438866.
- [4] H. H. Shaker, A. A. Saleh, M. R. Amin and S. E. D. Habib, "New Proposed Methodology

- for Radiation Hardening By Design of MOS Circuits," 2020 32nd International Conference on Microelectronics (ICM), pp. 1-4, December 2020, doi: 10.1109/ICM50269.2020.9331495.
- [5] A. Feeley, Y. Xiong, N. Guruswamy and B. L. Bhuvu, "Effect of Frequency on Total Ionizing Dose Response of Ring Oscillator Circuits at the 7-nm Bulk FinFET Node," in IEEE Transactions on Nuclear Science, vol. 69, no. 3, pp. 327-332, March 2022, doi: 10.1109/TNS.2022.3144911.
- [6] C. Peng et al., "Radiation Hardening by the Modification of Shallow Trench Isolation Process in Partially Depleted SOI MOSFETs," in IEEE Transactions on Nuclear Science, vol. 65, no. 3, pp. 877-883, March 2018, doi: 10.1109/TNS.2018.2798295.
- [7] M. Baghbanmanesh, F. Maloberti and U. Gatti, "A 10-Bit Radiation-Hardened by Design (RHBD) SAR ADC for Space Applications," 2017 New Generation of CAS (NGCAS), pp. 53-56, September 2017, doi: 10.1109/NGCAS.2017.14.
- [8] T. Lin, K. -S. Chong, W. Shu, N. K. Z. Lwin, J. Jiang and J. S. Chang, "Experimental investigation into radiation-hardening-by-design (RHBD) flip-flop designs in a 65nm CMOS process," 2016 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 966-969, May 2016, doi: 10.1109/ISCAS.2016.7527403.
- [9] J. E. Knudsen and L. T. Clark, "An Area and Power Efficient Radiation Hardened by Design Flip-Flop," in IEEE Transactions on Nuclear Science, vol. 53, no. 6, pp. 3392-3399, December 2006, doi: 10.1109/TNS.2006.886199.
- [10] P. K. C. Mishu et al., "Voltage-Controlled Oscillator Utilizing Inverse-Mode SiGe-HBT Biasing Circuit for the Mitigation of Single-Event Effects," in IEEE Transactions on Nuclear Science, vol. 69, no. 6, pp. 1242-1248, June 2022, doi: 10.1109/TNS.2022.3170377.
- [11] M. Cho et al., "Best Practices for Using Electrostatic Discharge Protection Techniques for Single-Event Transient Mitigation," in IEEE Transactions on Nuclear Science, vol. 66, no. 1, pp. 240-247, January 2019, doi: 10.1109/TNS.2018.2884127.
- [12] F. M. Sajjade, N. K. Goyal and B. K. S. V. L. Varaprasad, "Single Event Transient (SET) Mitigation Circuits With Immune Leaf Nodes," in IEEE Transactions on Device and Materials Reliability, vol. 21, no. 1, pp. 70-78, March 2021, doi: 10.1109/TDMR.2021.3051846.
- [13] N. Liu, Z. Guo, H. Lu and J. Yang, "Single Event Effects Radiation Hardened by Design for DC-DC Converter Based on Automatic Detection and Dynamic Compensation," 2022 IEEE 5th International Conference on Electronics Technology (ICET), pp. 426-430, May 2022 doi: 10.1109/ICET55676.2022.9825163.
- [14] X. Xie, Z. Yang, M. Deng, K. Chen and W. Li, "P-Edge NMOSFET for Improving TID Tolerance," in IEEE Transactions on Device and Materials Reliability, vol. 19, no. 1, pp. 242-244, March 2019, doi: 10.1109/TDMR.2019.2891268.
- [15] Z. E. Fleetwood et al., "SiGe HBT Profiles With Enhanced Inverse-Mode Operation and Their Impact on Single-Event Transients," in IEEE Transactions on Nuclear Science, vol. 65, no. 1, pp. 399-406, January 2018, doi: 10.1109/TNS.2017.2782183.
- [16] P. E. Dodd and L. W. Massengill, "Basic mechanisms and modeling of single-event upset in digital microelectronics," in IEEE Transactions on Nuclear Science, vol. 50, no. 3, pp. 583-602, June 2003, doi: 10.1109/TNS.2003.813129.
- [17] G. Yan et al., "Simulation of Total Ionizing Dose (TID) Effects Mitigation Technique for 22 nm Fully-Depleted Silicon-on-Insulator (FDSOI) Transistor," in IEEE Access, vol. 8, pp. 154898-154905, August 2020, doi: 10.1109/ACCESS.2020.3018714.
- [18] T. Li, Y. Yang, J. Liu and X. Huang, "Forward body bias for characterizing TID effect in CMOS integrated circuits," 2017 IEEE 24th International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), pp. 1-5, July 2017, doi: 10.1109/IPFA.2017.8060097.
- [19] M. Lee, S. Cho, N. Lee and J. Kim, "Design for High Reliability of CMOS IC With Tolerance on Total Ionizing Dose Effect," in IEEE Transactions on Device and Materials Reliability, vol. 20, no. 2, pp. 459-467, June 2020, doi: 10.1109/TDMR.2020.2994390.

- [20] R. Naseer and J. Draper, "The DF-dice storage element for immunity to soft errors," 48th Midwest Symposium on Circuits and Systems, pp. 303-306 Vol. 1, August 2005, doi: 10.1109/MWSCAS.2005.1594099.
- [21] P. Mongkolkachit and B. Bhuva, "Design

technique for mitigation of alpha-particle-induced single-event transients in combinational logic," in IEEE Transactions on Device and Materials Reliability, vol. 3, no. 3, pp. 89-92, September 2003, doi: 10.1109/TDMR.2003.816568.

저 자 소 개



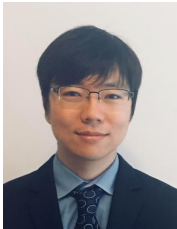
김 태 영(학생회원)
2022년 한양대학교
융합전자공학부
학사 졸업.
2022년~현재 한양대학교
융합전자공학과
석사 재학.

<주관심분야: RF/아날로그 회로>



이 종 호(학생회원)
2015년~현재 강남대학교
전자공학과
학사 재학.

<주관심분야: 반도체 소자 및 회로 설계>



송 익 현(정회원)
2006년 서울대학교 전기공학부
학사 졸업.
2008년 서울대학교
전기컴퓨터공학부
석사 졸업.
2008년~2012년 삼성전자 메모
리사업부 선임.

2016년 조지아공과대학교 전기컴퓨터공학부
박사 졸업.

2017년~2018년 조지아공과대학교
전기컴퓨터공학부 Research Engineer.

2018년~2021년 오클라호마주립대학교
전기컴퓨터공학부 조교수.

2021년~현재 한양대학교 융합전자공학부
조교수 재직.

<주관심분야: 고주파 회로, 극한 환경 전자부품,
메모리 반도체, 무선 전력전송>