

The Method of for Analyzing EMI Conducted Noise Analysis in Power Conversion Devices using Partial Element Equivalent Circuit Modeling

부분요소 등가회로 모델링을 이용한 전력변환장치의 EMI 전도 노이즈 분석방법

Hyun-Woo, SEO · Rae-Young, Kim

서현우* · 김래영†

Abstract

EMI conducted noise is becoming increasingly important in power conversion systems, and various analysis methods are being researched. The proposed method enables accurate EMI conducted noise analysis by extracting partial element equivalent circuits from the 3D structure of power cables and PCBs, and the extracted model can be interpreted in SPICE simulations. The implemented inverter operation mode of Totem-Pole bridge-less PFC in the EMI conducted noise analysis simulation model shows a good correlation between simulation results and experimental results in all CE bands. Furthermore, this method identifies the main causes of EMI noise through CM (Common Mode) and DM (Differential Mode) noise analysis, and proposes a method to effectively attenuate EMI noise through CM coil modeling. Therefore, the EMI conduction noise analysis method using simulation models allows for efficient prediction of EMI conduction noise in advance.

Key Words

EMI, Conducted noise, Conducted Emission, CE, Partial Element Equivalent Circuit, PEEC, Simulation, Modeling, Totem-pole PFC

1. 서론

최근 그 응용 분야가 급속히 확대되고 있는 전력변환장치는 전기자동차와 같은 미래 산업의 중요한 핵심부품이 되고 있으며 고효율, 고밀도 및 향상된 전자기 간섭(EMI) 성능이 요구된다[1].

특히, 전기자동차 분야에서 글로벌 제조사들은 국제 규격 외에 자체적으로 강화된 규격을 따로 관리할 정도로 전력변환장치의 EMI 전도 노이즈의 규격 요구는 날이 증가하고 있다[2].

전력변환장치의 개발 단계는 초기 설계단계에서 양산에 이르기까지 각각의 단계마다 EMI 전도 노이즈 성능이 평가된다. 만약 이를 고려하지 않는 설계가 진행된다면 단계가 거듭될수록 품질 비용이 증가하고 개발 일정이 지연되는 위험요소가 발생할 수 있으며 프로젝트의 성공 여부가 결정될 수 있다. 따라서 초기 설계단계에서부터 EMI 전도 노이즈를 고려하는 것은 매우 중요하다.

전력변환장치의 EMI 전도 노이즈 성능을 분석하기 위해서는

실제로 측정하는 방법이 일반적이지만 개발 단계에서는 잦은 설계 변경이 이루어질 수 있으며 보통 각각의 단계마다 디버깅을 위한 반복적인 측정이 필요하므로 이 과정에서 과도한 비용 손실이 발생한다. 따라서 이러한 단점을 극복하기 위해 시뮬레이션 분석을 통해 EMI 전도 노이즈를 사전에 예측하는 방법이 많이 연구되고 있다[3]-[7].

하지만 단순히 분석하고자 하는 전력변환장치만을 모델링하는 것은 정확한 분석이 될 수 없다. EMI 전도 노이즈 측정 환경은 주요 노이즈 소스인 전력변환장치 외에도 대기 환경, 전원 케이블 등의 변수가 존재하기 때문이다. 즉, 실제 측정 환경을 상세히 고려하지 않으면 왜곡된 해석이 될 수 있다. EMI 전도 노이즈는 전력변환장치와 전원 케이블 및 대지로 구성된 경로를 따라 공통모드와 차동모드의 노이즈 전류가 흐르게 된다. 전원 케이블의 임피던스가 고전압 시스템에서 EMI 전도 노이즈에 영향을 미칠 수 있으며 예기치 못한 과전압을 발생시키는 연구결과가 이를 증명한다[8]-[9].

또한, 전원 케이블의 차폐 여부에 따라 공통모드 노이즈의 주 경로는 차폐가 될 수 있다는 연구결과도 전원 케이블의 구

* Corresponding Author: Dept. of Electrical Engineering, Hanyang University, Korea.

<https://epecs.hanyang.ac.kr>

<https://orcid.org/0000-0003-1296-4125>

† Dept. of Energy Power Electronics Control System Lab, Hanyang University, Korea.

E-mail: seo0425@hanyang.ac.kr

<https://orcid.org/0009-0002-4825-1493>

Received: Feb. 28, 2023 Revised: Apr. 18, 2023 Accepted: Jun. 24, 2023

Copyright © The Korean Institute of Electrical Engineers

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/4.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

조적인 중요성을 보여주고 있다[10].

따라서 본 논문에서는 Totem-Pole PFC 전력변환장치를 대상으로 전원 케이블과 대지의 관계를 함께 고려한 EMI 전도 노이즈 분석방법을 제안한다. 분석방법은 대지의 관계가 고려된 전원 케이블 및 PCB의 기생 성분을 부분요소 등가회로(PEEC) 구조로 모델링 하여 기존의 유한 요소 해석(FEM) 방법 대비 빠르고 정확한 EMI 전도 노이즈 분석방법을 제시한다. 또한, 분석된 결과를 토대로 EMI 전도 노이즈 저감 방법으로 페라이트 코어의 재질 특성이 반영된 공통모드 코일을 PEEC로 모델링 하여 사전 검증하는 방법도 같이 제안한다.

2. 부분요소 등가회로 추출기법

2.1 범용 추출기법의 종류

EMI 전도 노이즈를 분석하는 과정에서 전자기학의 Maxwell 방정식을 기반으로 해석하는 방법이 가장 널리 사용되고 있다. 이 방정식은 실험, 분석, 수치 등으로 분류될 수 있으며 주로 사용되고 있는 수치 해석 기법은 고성능 컴퓨터를 기반으로 한 시뮬레이션 소프트웨어로 인하여 가능해졌다. 수치 해석 기법에서 가장 대표적인 방법은 FEM이다. 이 기법은 복잡한 구조를 갖는 형상을 정확히 해석할 수 있는 장점이 있다. 하지만 구조를 포함한 Field 전체를 해석하기 때문에 해석 과정에서 상당한 시간이 소요되고 시간 영역 또는 주파수 영역에서만 해석이 가능한 단점이 있다. 시간 영역과 주파수 영역 모두 해석이 가능한 기법 중, 대표적으로 PEEC 기법이 있다. 이 기법은 유한 요소 해석과 더불어 널리 알려진 기법이나 수 GHz의 초고주파 대역에서 등가회로 추출이 정확하지 않다는 점에서 활용도에 한계가 있었다. 하지만 최근 전력변환장치의 스위칭 주파수가 점점 높아짐에 따라, kHz - MHz 단위의 저주파 분석이 매우 중요해지게 되었다. 따라서 과거 RF 분야에서 크게 주목받지 못한 부분요소 등가회로 추출기법은 전력전자 EMI 분석 기법의 좋은 대안이 될 수 있다. 표1은 범용 전자기 추출기법인 FEM과 PEEC의 특징을 정리한 내용이다[11].

표 1 범용 EM 추출기법의 특징

Table 1 The characteristics of universal EM extraction techniques

Method	FEM	PEEC
Formulation	Differential	Integral
Solution variables	Field	Circuit
Solution domain	TD or FD	TD and FD
Advantages	Complex materials	Same TD/FD model combine circuit
Drawbacks	Solve large lin. system	Computationally heavy

2.2 부분요소 등가회로의 정의

PEEC는 전력변환장치의 구성품인 전원 케이블, PCB, Bus-bar 등 기생성분이 포함된 3D 구조물의 특성을 Lumped Element 모델인 등가회로로 추출하는 기법이다. 그림 1은 3D 형상 도체의 PEEC 추출 결과를 보여준다.

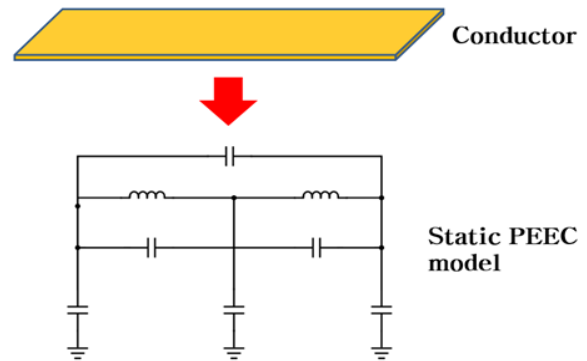


그림 1 3D 구조 도체의 PEEC 모델
Fig. 1 The PEEC model for 3D structural conductors

3D 구조물을 기본 단위로 나누어 모델을 추출하기 때문에 2D 기반이 추출 대비 형상을 고려하여 모델을 추출할 수 있다. 따라서 형상이 복잡한 구조물에 효과적인 해석이 가능하다. 본 논문에서는 전원 케이블과 PCB 모델 구축을 위해 EMCoS Studio의 3D PEEC 추출기법을 사용하였다[12].

3. 부분요소 등가회로를 이용한 전원 케이블 및 PCB 모델링 구축방법

3.1 전원 케이블 모델링 구축방법

일반적으로 산업에서 사용되는 범용 전원 케이블은 2개의 Line이 Copper 재질의 도체로 구성되고 도체를 감싸는 표면은 PVC 등의 절연 재질로 포장되어 1개의 멀티 케이블로 구성된다. 표2는 EMCoS Studio를 사용하여 1M 길이의 범용 전원 케이블로 구성한 형상 및 단면을 보여준다.

표 2 전원 케이블 단면 구성도

Table 2 The power cable section schematic

Cable	Real cable	Modeling cable
Shape		
Length	1000mm	1000mm
Conductor	Copper	Copper
Insulator	PVC	PVC
Cross Section Area		

PEEC 추출기법은 두 내측 도선의 유도성 결합과 용량성 결합 특성을 같이 포함하여 추출할 수 있다. 추출되는 상호 인덕턴스는 추출 요소의 인덕턴스 극성과 실제 전류 인가 방향에 따라 부호가 결정된다. 커플링 요소와 더불어 전원 케이블을 모델링 하는 과정에서 중요한 것은 대지와와의 거리를 포함하는 것이다. 실제 케이블과 시험 환경의 대지와와의 기생 캐패시턴스 성분이 임피던스 특성에 영향을 미치며 공통 노이즈 전류가 흐르는 루프가 된다. 그림 2는 전원 케이블의 총 길이 및 배치, 대지로부터의 거리가 고려된 모델링 구성을 보여준다. 모델링을 해석하게 되면 SPICE 구조를 갖는 PEEC 특성이 추출되고 이를 이용하여 케이블의 임피던스 특성을 확인할 수 있다. 그림 3은 대지가 모델링 되지 않았을 때의 케이블의 임피던스 특성을 보여준다. 직렬 및 병렬 공진 특성으로 인하여 특정 주파수에서 EMI 전도 노이즈에 영향을 미치게 된다. 하지만 대지와와의 관계가 같이 모델링 되지 않았기 때문에 케이블 자체 특성만 반영되어 전체 시스템 레벨에서의 전도 노이즈 분석 정확도는 떨어지게 된다. 반면 그림 4는 실제 시험 조건과 동일한 전원 케이블과 대지의 거리를 반영하여 모델링 하였고 두 모델링의 거리는 CISPR 16-1-2 규정을 따라 바닥으로부터 80cm, 벽면으로부터 40cm를 반영하였다. 대지를 반영하여 해석된 전

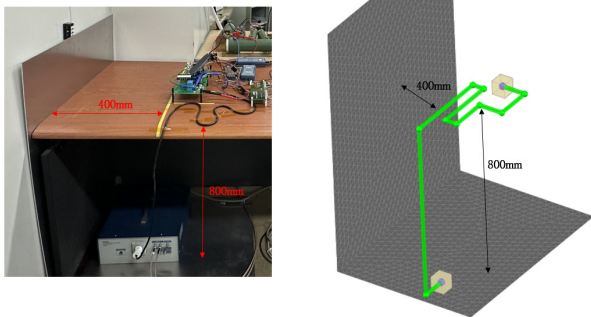


그림 2 대지와와의 거리를 반영한 전원 케이블 모델링
Fig. 2 The modeling of a power cable considering distance from the ground

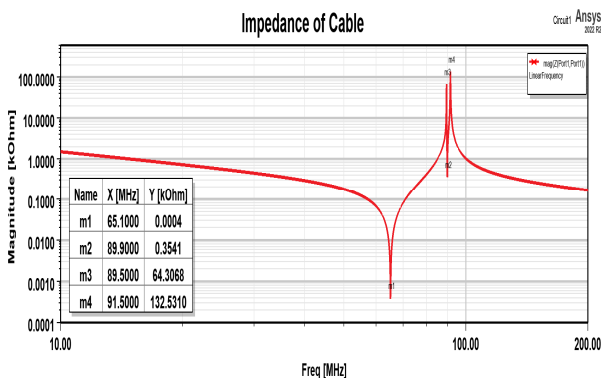


그림 3 대지를 반영하지 않은 전원 케이블의 임피던스 특성
Fig. 3 The impedance characteristics of a power cable without considering the ground

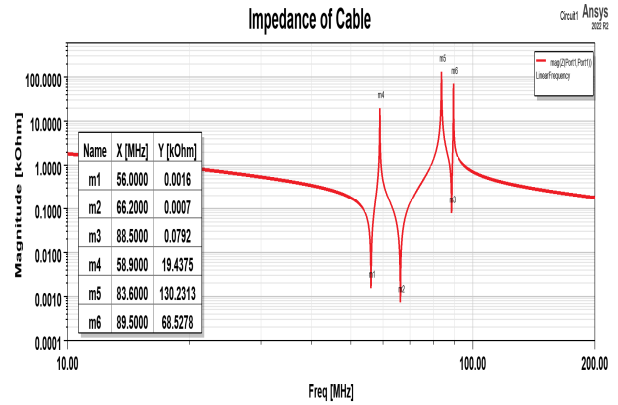


그림 4 대지를 반영한 전원 케이블의 임피던스 특성
Fig. 4 The impedance characteristics of a power cable considering the ground

```
.SUBCKT 1M_Cable sgl_1a sgl_1b sgl_2a sgl_2b
* LCIL data
* PEEC data
R_PEEC_1_1 sgl_1a sgl_1a_1_1 2.210441111E-02
L_PEEC_1_1 sgl_1a_1_1 sgl_1b 1.37079865E-06
R_PEEC_2_2 sgl_2a sgl_2a_2_1 2.210441111E-02
L_PEEC_2_2 sgl_2a_2_1 sgl_2b 1.37079851E-06
L_PEEC_3_3 pinC_5 pinC_6 1.32259397E-07
C_PEEC_1_1 sgl_1a 0 2.42582634E-13
C_PEEC_2_2 sgl_1b 0 2.42582629E-13
C_PEEC_3_3 sgl_2a 0 2.42582612E-13
C_PEEC_4_4 sgl_2b 0 2.42582675E-13
C_PEEC_5_5 pinC_5 0 1.98865177E-11
C_PEEC_6_6 pinC_6 0 1.98761576E-11
K_PEEC_1_2 L_PEEC_1_1 L_PEEC_2_2 6.97684109E-01
K_PEEC_1_3 L_PEEC_1_1 L_PEEC_3_3 2.67731625E-01
K_PEEC_2_3 L_PEEC_2_2 L_PEEC_3_3 2.67729707E-01
K_PEEC_1_2 L_PEEC_1_1 L_PEEC_2_2 6.97684109E-01
K_PEEC_1_3 L_PEEC_1_1 L_PEEC_3_3 2.67731625E-01
K_PEEC_2_3 L_PEEC_2_2 L_PEEC_3_3 2.67729707E-01
C_PEEC_1_2 sgl_1a sgl_1b 4.75312170E-14
C_PEEC_1_3 sgl_1a sgl_2a 5.96601523E-12
C_PEEC_1_4 sgl_1a sgl_2b 4.18230360E-14
C_PEEC_1_5 sgl_1a pinC_5 2.65021140E-12
C_PEEC_1_6 sgl_1a pinC_6 3.46481859E-13
C_PEEC_2_3 sgl_1b sgl_2a 4.18237505E-14
C_PEEC_2_4 sgl_1b sgl_2b 5.96601392E-12
C_PEEC_2_5 sgl_1b pinC_5 3.21153485E-13
C_PEEC_2_6 sgl_1b pinC_6 2.67554126E-12
C_PEEC_3_4 sgl_2a sgl_2b 4.75310082E-14
C_PEEC_3_5 sgl_2a pinC_5 2.68664716E-12
C_PEEC_3_6 sgl_2a pinC_6 3.10045808E-13
C_PEEC_4_5 sgl_2b pinC_5 3.57880580E-13
C_PEEC_4_6 sgl_2b pinC_6 2.63881561E-12
C_PEEC_5_6 pinC_5 pinC_6 4.36606574E-11
.ENDS 1M_Cable
```

그림 5 전원 케이블의 PEEC 추출 결과 (SPICE 모델)
Fig. 5 The extracted results from the PEEC of a power cable (SPICE model)

원 케이블은 대지의 저항 및 인덕턴스 성분이 포함되고 케이블과 대지 사이의 기생 캐패시턴스가 생성되어 공통모드 노이즈의 경로가 생성되기 때문에 대지를 반영하지 않은 전원 케이블 대비 더 많은 직렬 및 병렬 공진 특성이 나타난다. 따라서 전체 시스템 레벨에서 EMI 전도 노이즈 분석이 더욱 정확해지게 된다. 부분요소 등가회로로 구성된 결과는 SPICE 모델로 추출되어 모델링에 적용할 수 있다. 그림 5는 대지를 반영한 전원 케이블의 특성이 PEEC로 추출된 것을 보여준다.

3.2 PCB 모델링 구축방법

PCB 구조의 특성을 반영한 PEEC 모델 추출과정에서 해석할 네트를 선정하는 것은 굉장히 중요하다. PCB 전체를 분석하는

것은 효율적이지 않은 방법일 뿐만 아니라 해석 시간도 기하급수적으로 늘어나게 된다. 따라서 EMI 전도 노이즈의 주요 경로를 잘 확인하여 해석하는 방법이 필요하다. 주요 넷 선정 이후 격자를 구성하는 과정에서 격자의 적정 크기를 구성하여 해석하면 효율적인 분석이 가능하다. 격자의 크기가 과도하게 크면 해석 시간은 단축되나 정밀한 기생 성분의 특성이 도출되지 않으며 격자의 크기가 반대로 과도하게 작으면 해석 시간은 늘어나나 정밀한 기생 성분의 특성이 도출된다. PEEC 모델링을 위한 격자 개수에 대해서는 다양한 논문에서 연구되어왔으나 CE 대역인 150kHz~30MHz에서는 20mm까지 격자의 크기를 유지해도 추출 특성은 3mm와 크게 차이가 없다는 연구결과가 있다[13].

본 논문에서는 Totem-Pole PFC의 FR-4 재질의 6층 PCB 기판을 대상으로 PEEC 추출을 진행하였다. 그림 6은 PCB 기판의 Stack-up 정보를 보여주며 그림 7은 전체 Layout 정보를 나타낸다. 효율적인 분석을 위해 주요 전원이 흐르는 넷트는 정밀한 기생 성분을 추출하기 위해 2mm 격자로 구성하고 유전 기판은 10mm 격자로 생성하였다. 그림 8은 격자를 생성한 PCB 모델링을 보여준다. 화살표의 방향은 초기 설정된 전류의 방향을 나타내며 실제 회로에서 전류의 방향이 반대이면 상호 인덕턴스의 부호는 바뀌게 된다. 그림 9는 SPICE 모델로 추출된 각 넷트의 부분요소 등가회로의 결과를 보여준다.

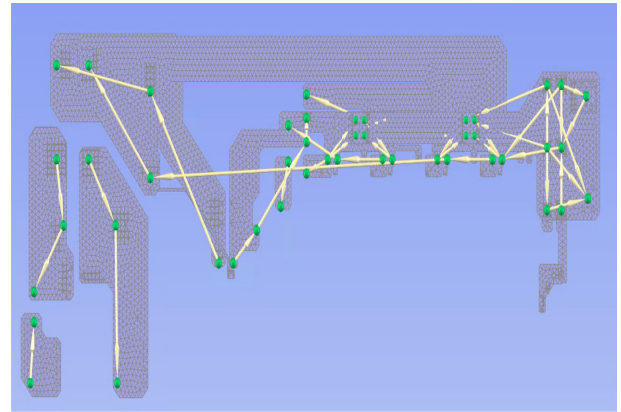


그림 8 격자를 생성한 PCB 모델
Fig. 8 The PCB model with generated meshes

```

.SUBCKT eq_PFC_MC_WR C119_C119-2 C119_C119-1 C118_C118-2 C118_C118-1 C123_C123-2 C123_C123-1 C124_C124-1 C125_C125-2 C125_C125-1
+ COM1_COM1-1 COM2_COM2-1 COM7_COM7-1 COM6_COM6-1 F1_F1-1 F1_F1-2 T3_T3-1 T3_T3-4 T3_T3-3 T3_T3-2 U16_U16-3 U16_U16-2 Q3_Q3-2
+ Q3_Q3-1 Q2_Q2-1 Q4_Q4-1 Q1_Q1-2 Q1_Q1-1 C122_C122-1 C122_C122-2 C126_C126-1 C126_C126-2 C127_C127-1 C127_C127-2 C118_C118-1
+ C128_C128-2 COM8_COM8-1 COM5_COM5-1 II_IN II_OUT C124_C124-2 Q2_Q2-2 Q4_Q4-2

R_1 C119_C119-2 pR_1 2.07917718E-03
L_1 pR_1 T3_T3-3 1.92473615E-08
R_2 U16_U16-2 pR_2 3.46928871E-03
L_2 pR_2 C119_C119-2 9.52595139E-08
R_3 C119_C119-1 pR_3 1.805978761E-03
L_3 pR_3 T3_T3-2 1.81715051E-08
R_4 Q3_Q3-2 pR_4 1.13923560E-02
L_4 pR_4 C119_C119-1 1.22201784E-07
R_5 C119_C119-2 pR_5 1.22200962E-03
L_5 pR_5 F1_F1-2 9.22914570E-08
R_6 T3_T3-4 pR_6 7.67481224E-04
L_6 pR_6 C118_C118-2 7.08939271E-09
R_7 C118_C118-1 pR_7 1.24557311E-03
L_7 pR_7 COM2_COM2-1 6.18332364E-08
R_8 T3_T3-1 pR_8 6.97124318E-04
L_8 pR_8 C118_C118-1 7.73403855E-09
R_9 C123_C123-2 pR_9 1.18292989E-03
L_9 pR_9 C124_C124-2 5.61860791E-09
    
```



그림 9 PCB PEEC 추출 결과 (SPICE 모델)
Fig. 9 The PCB PEEC extraction result

Color	Name	Type	Material	Thickness
	SolderMask1	Solder Mask	Solder Mask	0.4
	TOP	Signal	Copper	1.360283686
	Dielectric1	Dielectric	FR-4	10
	MID1	Signal	Copper	1.377092901
	Dielectric3	Dielectric	FR-4	5
	MID2	Signal	Copper	1.377092901
	Dielectric5	Dielectric	FR-4	10
	MID3	Signal	Copper	1.377092901
	Dielectric7	Dielectric	FR-4	5
	MID4	Signal	Copper	1.377092901
	Dielectric9	Dielectric	FR-4	10
	BOTTOM	Signal	Copper	1.360283686
	SolderMask1	Solder Mask	Solder Mask	0.4

그림 6 Totem-Pole PFC PCB Stack-up 정보 (6층)
Fig. 6 The PCB stack-up information of Totem-Pole PFC

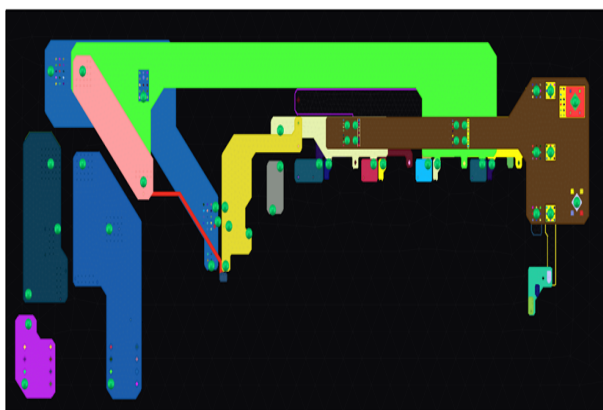


그림 7 Totem-Pole PFC PCB Layout
Fig. 7 The PCB layout of Totem-Pole PFC




4. 통합 시뮬레이션 모델링 구축방법

4.1 수동 소자 고주파 모델링 구축방법

수동 소자의 고주파 모델링을 구축하는 과정에서 기생 성분을 확인하는 것은 매우 중요하다. 인덕턴스와 캐패시턴스는 주파수에 의존하며 자기 공진 주파수(SRF) 대역 이후에 고유의 특성이 바뀌는 특징이 있다. 이러한 특성을 반영한 고주파 모델을 구축해야 정확한 분석이 가능하다. 본 논문에서는 실제 실험에 적용된 전해 캐패시터와 다층 세라믹 캐패시터, 그리고 인덕

표 3 수동부품의 사양

Table 3 The specifications for passive components

Passive Components	MLCC	Electrolytic Capacitor	Inductor
Shape			
Company	TDK	Kemet	TodaISU
Value	0.1uF	100uF	135uH

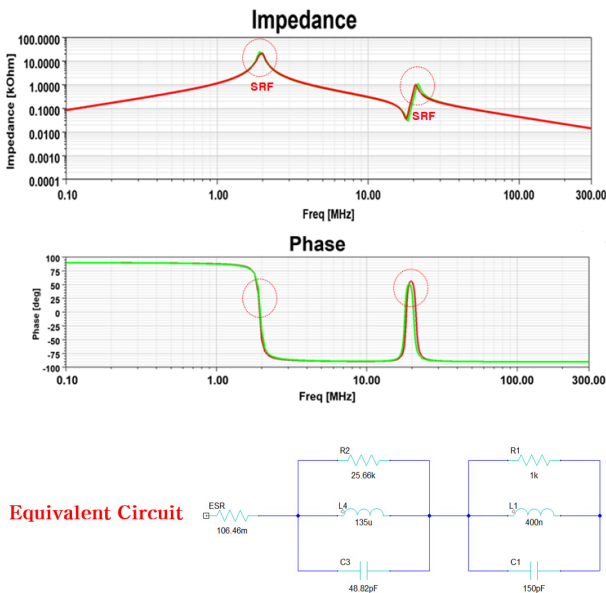
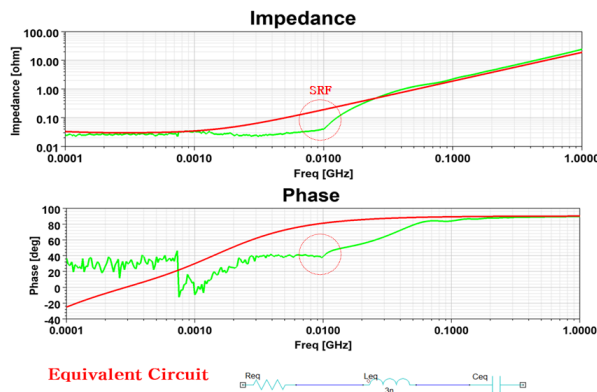
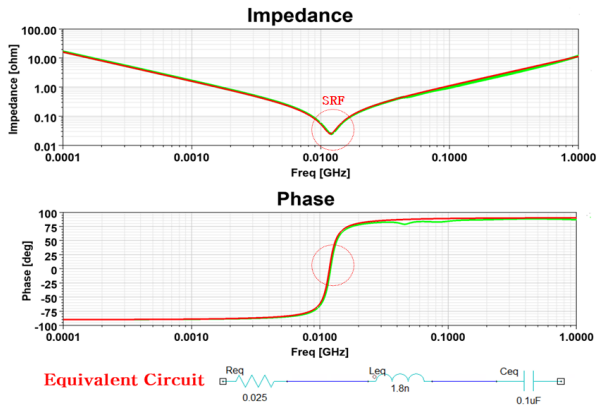


그림 10 임피던스와 위상을 반영한 고주파 등가회로 모델
 Fig. 10 The high frequency equivalent circuit model considering impedance and phase

터를 임피던스 분석기로 측정하여 실측 데이터를 얻고 시뮬레이션으로 등가회로를 구성하였다. 표 3은 실제 측정된 수동부품의 사양을 보여준다. 그림 10은 임피던스 분석기로 임피던스와 위상을 측정하고 그래프를 등가회로로 구축한 결과를 보여준다. 점선으로 표시된 부분은 수동 소자의 SRF를 나타낸다.

4.2 LISN 모델링 구축방법

Line Impedance Stabilization Network (LISN)은 EMI 전도 노이즈의 발생량을 Spectrum Analyzer 또는 EMI Receiver로 전송하며 주로 전도 노이즈 측정에 이용된다. LISN은 High Pass Filter로 구성되어 전원 노이즈는 차단하고 실험 대상인 전력변환장치에서 발생하는 노이즈를 커플링 커패시터에서 측정한다. 이처럼 시간 영역에서 측정되는 노이즈 전압은 일정한 주기를 가지고 반복하며 LISN에서 관측되고 이를 주파수 영역에서 FFT로 분석하여 EMI 전도 노이즈를 분석할 수 있다. 그림 11은 일반적인 산업 규격인 150kHz-30MHz에서 사용되는 CISPR 16-1-2의 LISN 등가회로 모델을 보여준다.

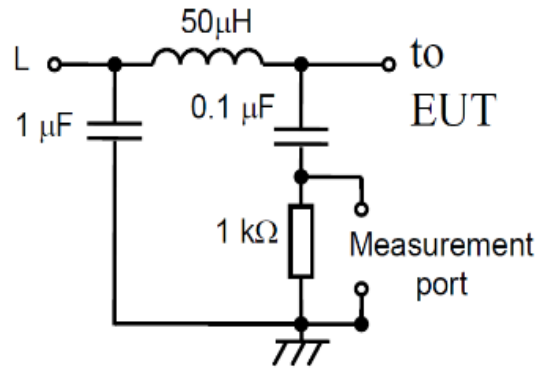


그림 11 CISPR 16-1-2 LISN 등가회로 모델
 Fig. 11 CISPR 16-1-2 LISN equivalent circuit model

전도 노이즈를 상세히 분석하기 위해서는 LISN의 Measurement Port에서 관측되는 각 라인의 전압 및 전류를 이용하여 공통모드 및 차동모드 노이즈 전압과 전류 계산이 가능하다(1).

$$\begin{aligned}
 V_{CM} &= (V_P + V_N)/2 \\
 V_{DM} &= (V_P - V_N)/2 \\
 I_{CM} &= (I_P + I_N)/2 \\
 I_{DM} &= (I_P - I_N)/2
 \end{aligned}
 \tag{1}$$

4.3 회로 시뮬레이션 모델링 구축방법

그림 12는 일반적인 Totem-Pole bridge-less PFC의 회로도를 간략하게 보여준다. 정류 다이오드를 SiC 계열의 전력반도체로 대체하여 도통 손실의 낮고 이로 인하여 시스템 전체의 고효율 및 고전력밀도를 달성할 수 있다. 본 논문에서는 DC에서 AC로 전력이 변환되는 인버터 동작을 모델링 하기 위하여 그림 13과 같이 전원 및 출력부를 변경하여 회로를 모델링 하였다. 본 논문에서 사용된 PCB 전체 구성은 그림 14로 확인할 수 있다.

인버터 동작의 EMI 전도 노이즈를 분석하기 위해 SPWM 제어 기법을 이용하여 전력반도체의 운전을 모사하기 위해 제어를 Open-Loop로 구성하였다[14]. 그림 15는 전력변환장치에서 사용되는 일반적인 SPWM 제어 기법의 원리를 보여준다.

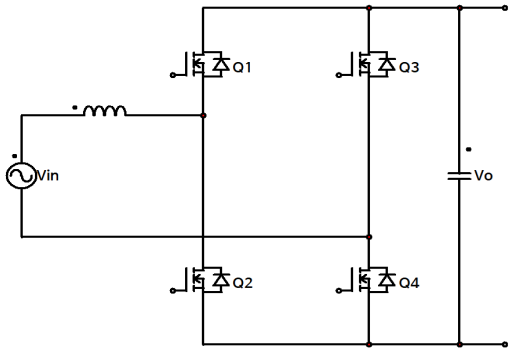


그림 12 일반적인 Totem-Pole bridge-less PFC
Fig. 12 The conventional Totem-Pole bridge-less PFC

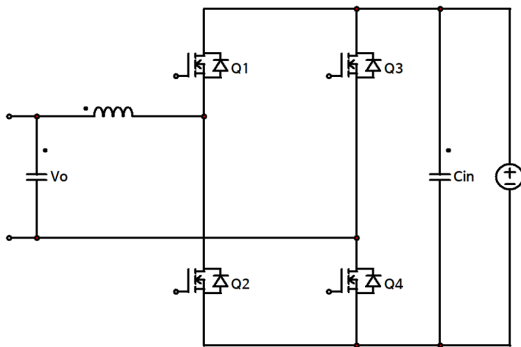


그림 13 Totem-Pole bridge-less PFC의 인버터 동작 모드
Fig. 13 The inverter operation mode of Totem-Pole bridge-less PFC

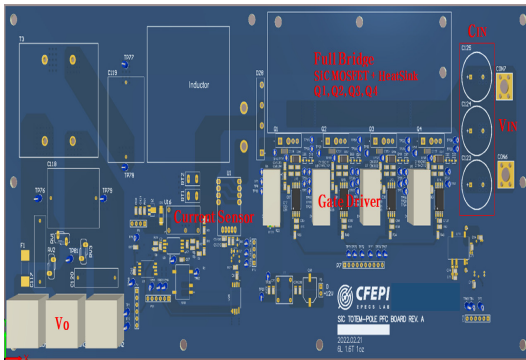


그림 14 Totem-Pole PFC PCB 전체 구성도
Fig. 14 The Totem-Pole PFC PCB overall configuration

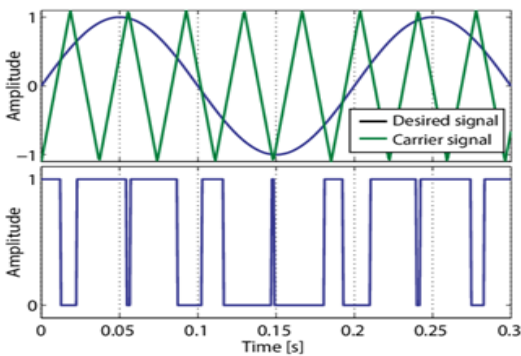


그림 15 SPWM 제어 기법의 원리
Fig. 15 The principle of SPWM control technique

표 4는 본 논문에서 EMI 전도 노이즈를 측정할 Totem-Pole PFC 전력변환장치의 전기적 사양을 정리한 내용이다. 제어 주파수는 일반적인 Sine, 60Hz를 선정하였고 전송 주파수는 195kHz를 선정하였다.

표 4 Totem-Pole PFC 전기적 사양
Table 4 The electrical specifications of Totem-Pole PFC

Electrical Specification	Value
Pout	22.05W
Vin	100V _{DC}
Vout	63V _{RMS}
Iout	0.35A _{RMS}
Control frequency	Sine, 60Hz
Carrier frequency	Triangle, 195kHz

전력반도체는 스위칭 손실이 작고 기생 인덕턴스의 최소화를 위해 게이트 드라이버 소스가 분리된 Rohm사의 SiC 전력반도체인 SCT3080AR SPICE 모델을 사용하여 기생 성분을 반영하였고 출력전압의 안정화를 위해 TDK사의 B32924A4335M 필름 커패시터를 선정하고 기생성분이 반영된 SPICE 모델을 사용하였다. 그림 16은 ANSYS Twin builder에서 모델링 된 통합 시뮬레이션 모델을 보여준다. 그림 17은 범용 SPICE 회로 해석 소프트웨어에서 해석 가능한 것을 확인하기 위해 LT Spice에서 통합 시뮬레이션 모델을 구성하였다 [15]-[16].

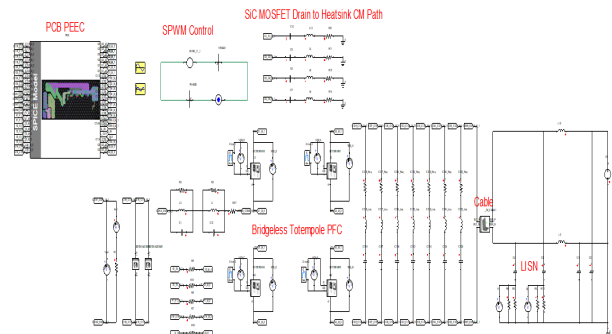


그림 16 통합 시뮬레이션 모델 (ANSYS Twin builder)
Fig. 16 The integrated simulation model (ANSYS Twin builder)

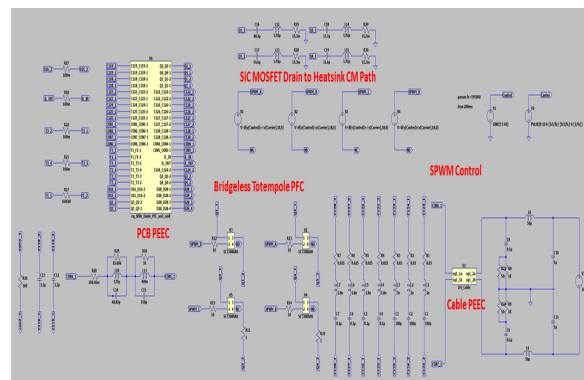


그림 17 통합 시뮬레이션 모델 (LT Spice)
Fig. 17 The integrated simulation model (LT Spice)

4.4 공통모드 노이즈 경로 모델링 구축방법

EMI 전도 노이즈의 경로는 크게 두 가지 경로로 구분된다. 하나는 회로가 동작하는 전류 경로를 따라 흐르는 차동모드 전류이며 다른 하나는 대지를 통해 흐르는 공통모드 전류 경로이다. 스위칭 노이즈에 의해 발생하는 공통모드 노이즈가 기생 캐패시턴스를 통해 대지로 흐르는 공통 모드 노이즈 경로를 모델링 하기 위해서는 전력변환장치와 대지의 실제 환경 조건을 고려해야 한다. 이 실제 환경은 전원 케이블, LISN, 대지, Heatsink를 포함한 Loop 전체를 포함하기 때문에 Loop의 인덕턴스 성분도 함께 고려해야 한다. Loop 인덕턴스는 네트워크 분석기를 통하여 측정을 통해 임피던스 곡선을 구하고 그 곡선으로부터 공진 주파수 특성을 통해 계산할 수 있다. 하지만 측정 방법이 까다롭고 오차가 존재하며 실제 개발환경을 고려하면 제품이 나오기 전 설계단계에서는 Loop 인덕턴스를 측정할 수 없다. 따라서 시뮬레이션을 통해 Loop 인덕턴스를 사전에 예측하는 방법이 필요하다. 시뮬레이션은 측정 환경과 유사하게 모델링을 한 후 실제 전원 케이블과 연결되는 전력변환장치의 입력단으로부터 대지에 연결되는 LISN 까지의 거리를 Loop 인덕턴스로 설정하여 PEEC로 추출할 수 있다. 시뮬레이션 모델과 측정 환경은 그림 18을 통해 확인할 수 있다.

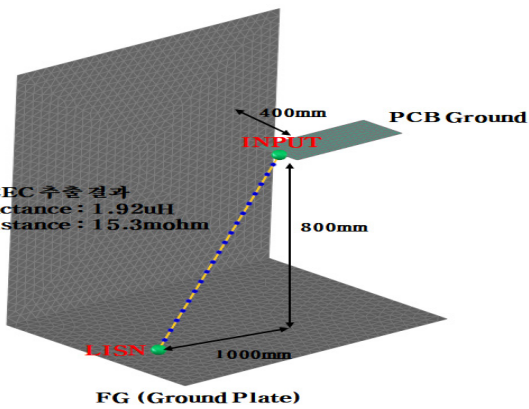


그림 18 공통 모드 노이즈 경로의 PEEC 추출 모델링
Fig. 18 The modeling PEEC extraction of CM mode noise path loop

전력반도체의 스위칭 동작으로 인해 발생하는 스위칭 노이즈는 방열을 위해 MOSFET의 Drain단에 부착된 Heatsink를 통해 대지로 빠져나가 Loop 인덕턴스와 함께 EMI 전도 노이즈에 영향을 미치게 된다. 이로 인해 기생 캐패시턴스 루프가 추가로 발생하게 되고 이 캐패시턴스는 MOSFET의 Drain단과 Heatsink를 임피던스 분석기로 측정하여 구할 수 있다. 본 논문에서는 4개의 SiC MOSFET과 Heatsink 사이의 캐패시턴스를 각각 측정하여 High-Side 단에서는 48.2pF, 54.6pF를, Low-Side 단에서는 13.7pF, 11.6pF의 기생 캐패시턴스를 측정하였다. 그림 19에서는 Loop 인덕턴스와 Drain단과 Heatsink 사이의 캐패시턴스인 CDH의 경로를 함께 보여준다.

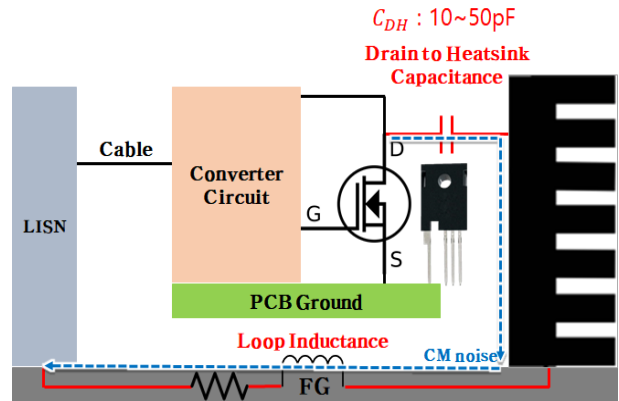


그림 19 전력반도체 스위칭 노이즈의 공통 모드 노이즈 경로
Fig. 19 The common mode path of power MOSFET switching noise

시뮬레이션 및 측정결과로 얻은 Loop 인덕턴스와 CDH를 이용하여 공통모드 노이즈 경로의 공진 주파수를 계산할 수 있다 (2). 실제 측정결과에서는 14MHz와 28MHz 근처에서 공진 주파수가 관측되며 이를 공통모드 노이즈 경로 모델링을 통해 예측된 공진 주파수와 비교해보면 유사하다는 것을 알 수 있다. 즉, 2개의 공진은 공통모드 노이즈의 경로를 통해 발생된 EMI 전도 노이즈인 것을 확인할 수 있다. 그림 20은 실제 측정결과와 시뮬레이션을 통해 공진 주파수를 확인한 결과를 비교하여 보여준다.

$$F_R = \frac{1}{2\pi\sqrt{LC}} \quad (2)$$

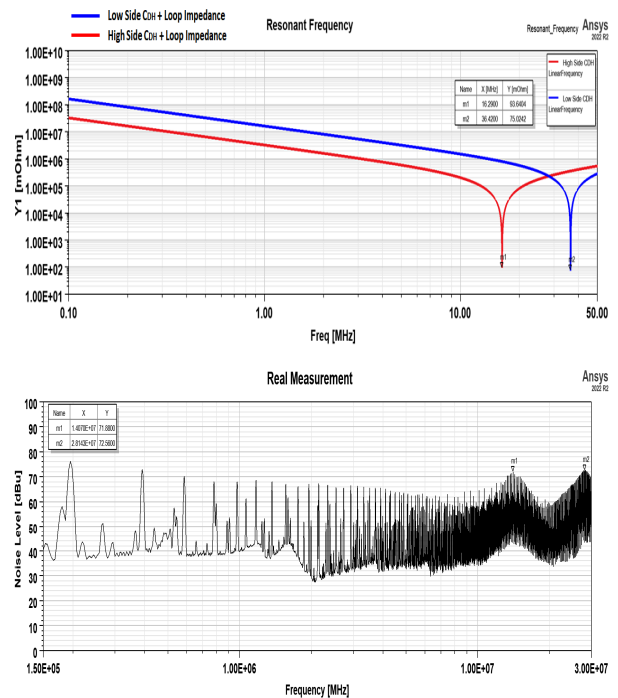


그림 20 공진 주파수 모델링과 실제 측정 결과와의 비교
Fig. 20 The comparison between resonant frequency modeling and real measurement results

5. 시뮬레이션과 실험 간 상관 분석

시뮬레이션 결과와 실험 간 상관 분석을 위하여 실제 EMI 시험 환경을 구축하여 EMI 전도 노이즈를 측정하였다. 시험 환경은 CISPR 16-1-2 기준을 적용하였고 측정 주파수는 150kHz에서 30MHz인 CE 전 대역을 측정하였다. 실측과 시뮬레이션 모두 EMI 전도 노이즈의 크기(dBuV)는 최대값으로 설정하여 측정하였다. 그림 21은 CISPR 16-1-2 규격 및 실제 EMI 전도 노이즈 시험 환경을 보여준다.

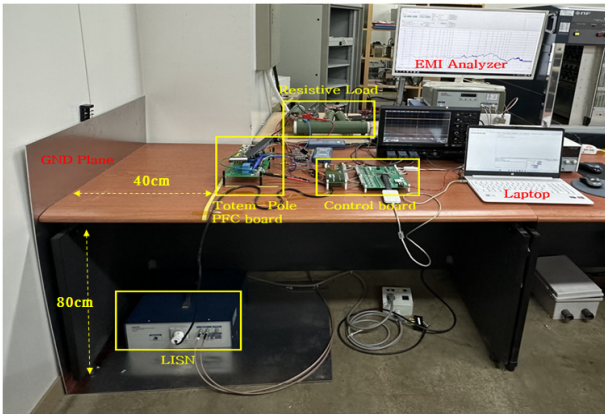
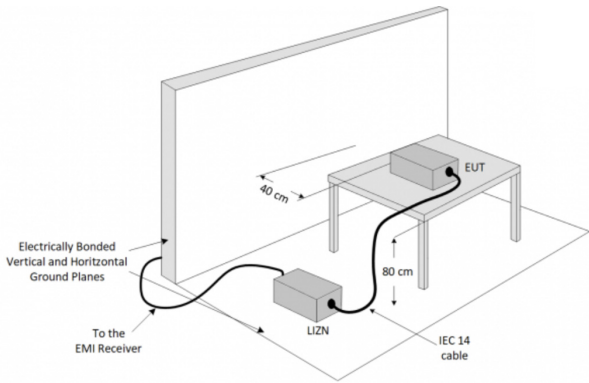


그림 21 CISPR 16-1-2 규격 EMI 전도 노이즈 측정 환경
Fig. 21 CISPR 16-1-2 specification EMI conducted noise measurement environment

Totem-Pole PFC 전력변환장치를 구동하기 위해 별도의 제어용 보드 및 SMPS가 사용되었다. SMPS와 제어용 보드는 EMI 전도 노이즈 분석 대상이 아니므로 두 장치에서 전도되는 작은 스위칭 노이즈는 분석 대상에서 제외하였다. 대지는 알루미늄 3T 두께의 재질을 사용하였고 CISPR 16-1-2 규격에 맞춰 배치하였다. 그림 22는 LISN에서 관측된 P상과 N상의 전도 노이즈 측정결과와 시뮬레이션 간 비교를 보여준다.

검정색 라인은 실험 측정결과를 보여주며 적색 라인은 시뮬레이션으로 구현한 결과를 보여준다. 시뮬레이션과 실험 간 EMI 전도 노이즈의 Envelop은 유사한 추이를 보이며 노이즈 크기도 최대 10 dBuV 이내의 오차를 보이는 좋은 상관관계가 도출된 것을 확인할 수 있다.

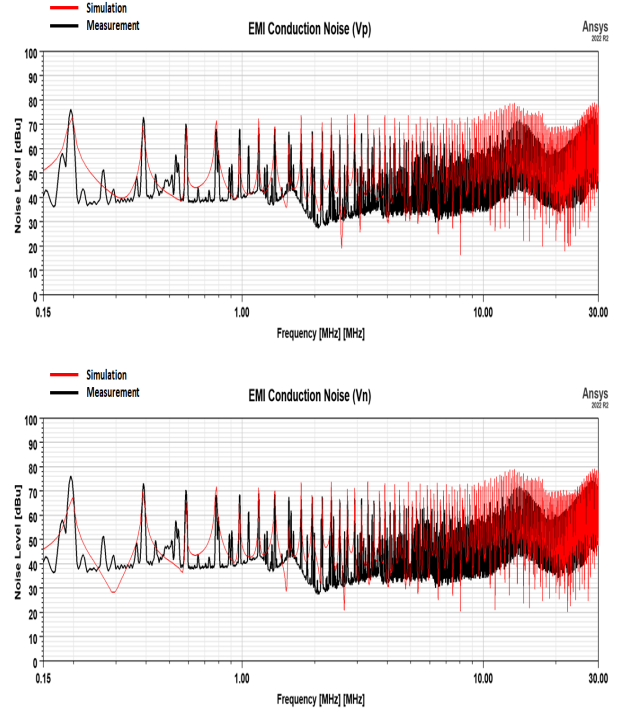


그림 22 EMI 전도 노이즈 측정 결과와 시뮬레이션 간 비교 (P상, N상)
Fig. 22 Comparison between EMI conducted noise measurements and simulations (P-phase, N-phase)

6. 전원 케이블 임피던스 영향에 따른 EMI 전도 노이즈 분석

대지와와의 거리를 반영한 전원 케이블은 실제 측정 환경과 유사한 모델링이 가능하여 현실적인 방법이다. 하지만 전원 케이블 자체의 길이도 EMI 전도 노이즈 분석에 큰 영향을 미치는 요소이다. 그림 23에서는 본 논문에서 사용된 전원 케이블 모델링의 길이를 기존 1M에서 2M, 3M까지 늘리면서 전원 케이블의 임피던스 영향을 확인하였다. 그 결과, 길이가 길어질수록 공진 주파수가 점점 저주파 대역으로 내려와 EMI 전도 노이즈에 영향을 미치는 것을 알 수 있다.

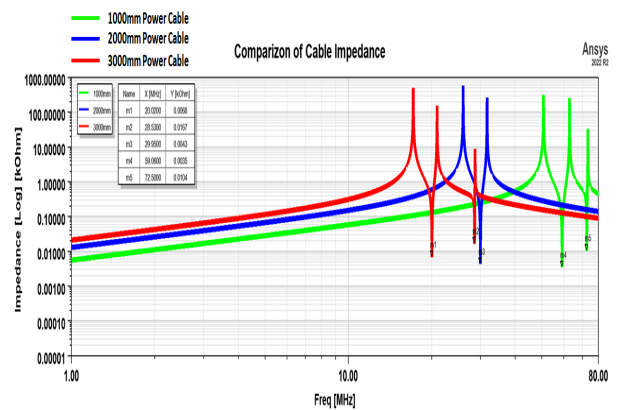


그림 23 전원 케이블 모델링의 길이에 따른 임피던스 영향
Fig. 23 The impedance effects of length of power cable modeling

따라서 전원 케이블의 임피던스 특성에 의해 Totem-Pole PFC의 EMI 전도 노이즈도 영향을 받게 된다. 그림 24는 Totem-Pole PFC의 P상 EMI 전도 노이즈가 케이블 길이에 따른 영향을 받은 것을 보여준다.

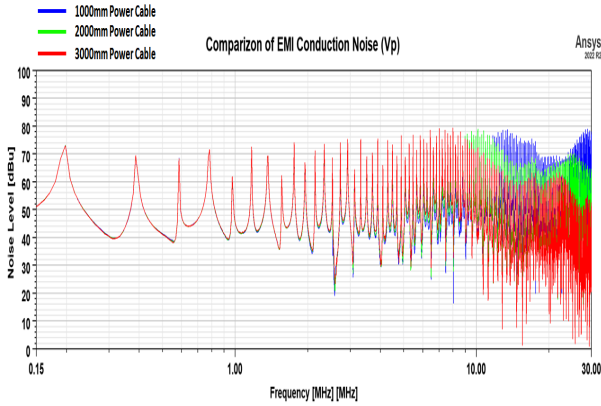


그림 24 전원 케이블의 임피던스 영향을 받은 P상 EMI 전도 노이즈
Fig. 24 The P-phase EMI conducted noise affected by the impedance of power cable

7. 공통모드 및 차동모드 시뮬레이션 결과 분석

Totem-Pole PFC의 P상과 N상의 EMI 전도 노이즈 분석결과를 식(1)을 사용하여 시뮬레이션에서 공통모드 및 차동모드 노이즈를 분석할 수 있다. 그림 25는 Totem-Pole PFC의 공통모드와 차동모드의 EMI 전도 노이즈 분석결과를 보여준다.

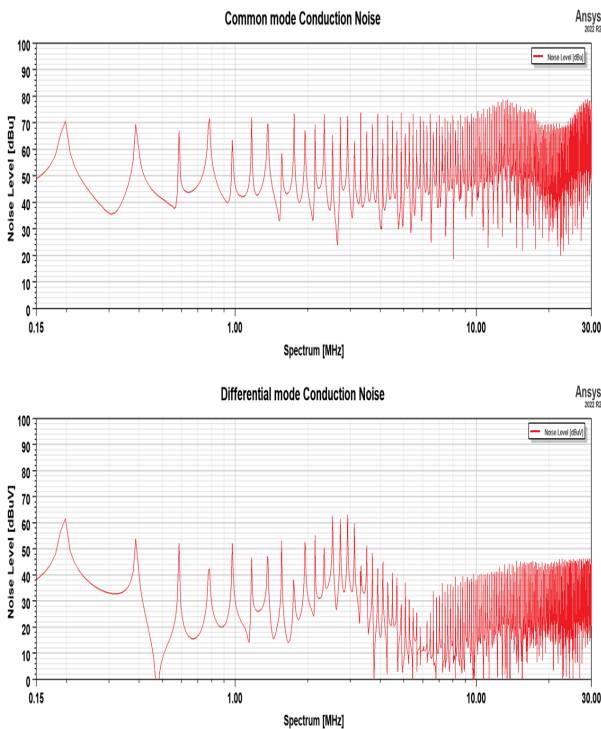


그림 25 공통모드와 차동모드 EMI 전도 노이즈 분석 결과
Fig. 25 The result of EMI conducted noise analysis in common mode and differential mode

분석결과 본 논문에서 사용된 Totem-Pole PFC 보드의 EMI 전도 노이즈의 주요 원인은 공통모드 노이즈 영향이 우세한 것을 알 수 있다. 따라서 LC 필터 구조를 입력단에 추가하여 공통모드 노이즈가 저감 되는 일반적인 방법이 고려될 수 있다. 필터의 효과를 빠르게 시뮬레이션으로 확인하려면 LC 회로를 추가하여 대략적인 감쇠 특성을 확인하거나 적절한 공통모드 초크를 선정하여 실험을 통해 확인하는 방법이 있다. 하지만 실제 실험은 시간과 비용 및 PCB의 구조적 제약 문제가 있고 시뮬레이션에서 LC 회로를 추가하는 것은 실제 코일의 주요 재료인 페라이트 코어의 재질 특성 및 코일의 고주파 특성이 반영되지 못하여 실제 특성과 다른 경향을 보일 수 있다. 따라서 본 논문에서는 실제 공통모드 코일의 재질 특성 및 고주파 특성이 모두 반영된 PEEC 모델링을 구현하여 시뮬레이션으로 사전 검증하는 방법을 추가 제안한다.

8. 공통모드 코일 모델링 구축방법

공통모드 코일의 고주파 특성이 반영되기 위해서는 코일의 주요 재료인 페라이트 코어의 특성이 반영되어야 한다. 그림 26은 본 논문에서 사용한 페라이트 코어 재질의 투자율 특성을 보여준다. 적색 그래프는 코어 투자율의 Real값을, 파란색 그래프는 Imaginary값을 나타낸다. 표 5는 본 논문에서 사용된 공통모드 코일의 특성을 정리하였다.

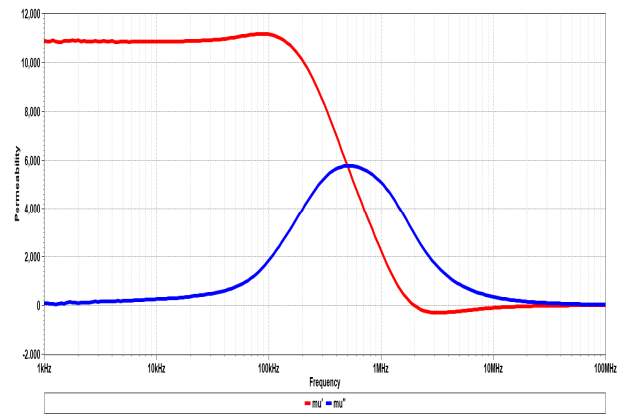


그림 26 공통모드 코일의 페라이트 코어 재질 투자율 특성
Fig. 26 The characteristics of ferrite core material permeability in common mode coil

표 5 공통모드 코일의 특성

Table 5 The characteristics of common mode coil

Electrical Specification	Value
Inductance	10mH@10kHz
Rated Current	3A
DC Resistance	105mohm
Turns	38
Material	Mn-Zn Ferrite, G10A

PEEC 모델 추출기법을 이용하여 공통모드 초크의 재질 특성 및 기생성분을 반영한 SPICE 모델을 생성할 수 있다. 생성된 모델은 그림 27에서 확인할 수 있다. 생성된 모델은 기존에 통합 회로 모델링의 입력단에 배치할 수 있다. 회로에 반영한 최종 결과는 그림 28과 같다. 그림 29는 공통모드 노이즈와 EMI 전도 노이즈 P상의 초크 적용 비교 결과를 보여준다. 초록색 특성은 공통모드 초크 반영 전이며 적색 특성은 공통모드 코일 반영 후의 전도 노이즈 결과를 보여준다. 공통모드 노이즈가 CE 전 대역에서 최대 45dBuV 까지 개선되어 그 영향으로 인해 EMI 전도 노이즈의 결과 또한 개선됨을 사전에 확인할 수 있다.

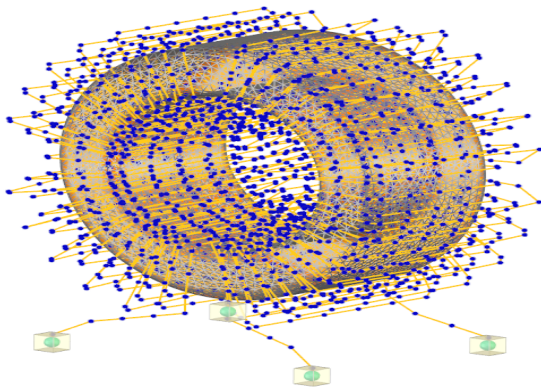


그림 27 공통모드 코일의 PEEC 모델링
Table 27 The PEEC modeling of common mode coil

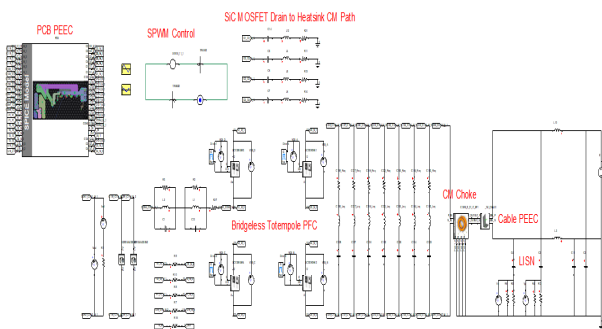


그림 28 공통모드 코일이 반영된 통합 시뮬레이션 모델 (ANSYS Twin builder)
Table 28 The integrated simulation model with common mode coil (ANSYS Twin builder)

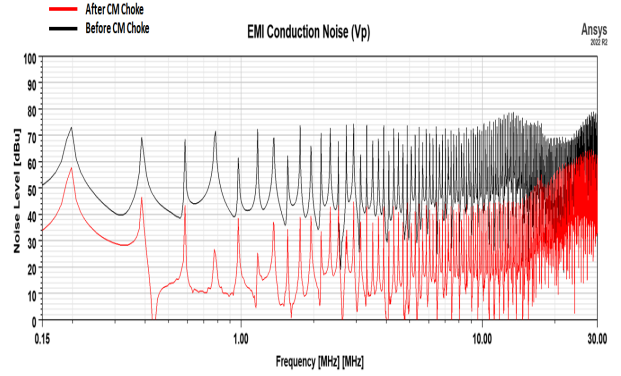
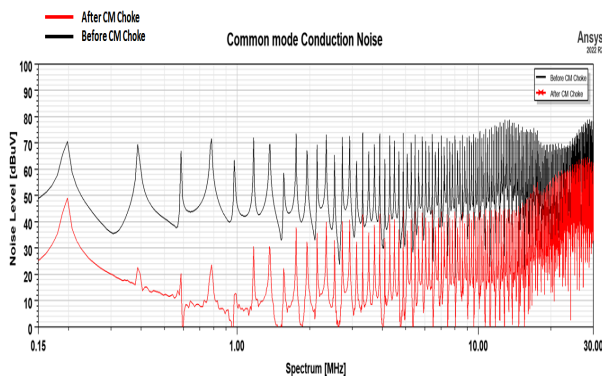


그림 29 공통모드 노이즈 특성과 EMI 전도 노이즈 특성 (공통모드 코일의 영향 비교)
Table 29 The common mode noise characteristics and EMI conducted noise characteristics
(The comparison of the effects of common mode coils)

9. 결론

본 논문에서는 부분요소 등가회로 모델링을 이용한 전력변환 장치의 EMI 전도 노이즈 분석방법을 제안하였다. 제안된 방법은 기생 성분과 대지와의 관계를 고려한 전원 케이블 및 PCB 구조 특성이 PEEC 모델로 추출되고 추출된 모델은 Lumped Element 기반의 SPICE 회로 해석 소프트웨어에서 사용 가능하여 범용적임을 보였다. EMI 전도 노이즈 분석 시뮬레이션 모델로 구축된 Totem-Pole PFC 전력변환장치는 CE 전 대역에서 시뮬레이션 결과와 실험 간 좋은 상관관계가 도출되었다. 도출된 결과에서 분석된 공통모드와 차동모드의 노이즈 분석을 통해 주요 EMI 전도 노이즈의 개선 방향을 검토할 수 있으며 실제 페라이트 코어의 재질 특성이 반영된 공통모드 코일을 PEEC로 모델링 하여 추가 반영함으로써 EMI 전도 노이즈의 사전 검증이 가능함을 보였다.

References

- [1] R. Redl, "Power electronics and electromagnetic compatibility," IEEE Power Electronics Specialists Conference (PESC), pp. 15-21, 1996.
- [2] C. Rostamzadeh, F. Canavero, F. Kashfi and M. Darbandi, "Automotive AM-band radiated emission mitigation techniques a practical approach," Proc. IEEE Int. Symp. Electromagn. Compat., pp. 162-166, 2012.
- [3] Y. Koyama, M. Tanaka and H. Akagi, "Modeling and Analysis for Simulation of Common-Mode Noises Produced by an Inverter-Driven Air Conditioner," IEEE Transactions on Industry Applications, vol. 47, no. 5, pp. 2166-2174, Sept.-Oct. 2011.
- [4] Kim, W., Seng, C., Seo, J., Cha, H., 2022. High-Frequency Mathematical Model for Common-Mode Noise Voltage of Buck Converter. Journal of Electrical Engineering & Technology. doi:10.1007/s42835-022-01144-w
- [5] Liyu Yang et al., "Modeling and characterization of a

저자소개

- 1KW CCM PFC converter for conducted EMI prediction,” Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition 2004. APEC'04., vol. 2, pp. 763-769, 2004.
- [6] E. Rondon, F. Morel, C. Vollaie and J. L. Schanen, “Modeling of a Buck Converter With a SiC JFET to Predict EMC Conducted emissions,” IEEE Trans. Power Electron., vol. 29, no. 5, pp. 2246-2260, May 2014.
- [7] Ali Safayet and Mohammad Islam, “Modeling of Conducted Emission for an Automotive Motor Control Inverter,” Proc. of the 2019 IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1265-1272, 2019.
- [8] Reuter, M., S. Tenbohlen, and W. Kohler, “The influence of network impedance on conducted disturbances within the high-voltage traction harness of electric vehicles,” IEEE Trans. Electromagn. Compat., vol. 56, no. 1, 35-43, February 2014.
- [9] Von Jouanne and P. Enjeti,, “The effects of long motor leads on PWM inverter fed AC motor drive systems,” Conf. Rec. IEEE APEC'95, pp. 592-597, 1995.
- [10] C. Jettanasen, “Influence of Power Shielded Cable and Ground on Distribution of Common Mode Currents Flowing in Variable AC Motor Drive Systems,” Proc. of Asia-Pacific International Conference on Electromagnetic Compatibility (APEC), pp. 964-967, April 2010.
- [11] Ekman, J. (2003). Electromagnetic modeling using the partial element equivalent circuit method (PhD dissertation). Retrieved from <http://urn.kb.se/resolve?urn=urn:nbn:se:ltu:diva-17869>
- [12] EMCoS Studio 2021, [online] Available: www.emcos.com.
- [13] G. Gabriadze et al., “Enhanced PEEC Model Based on Automatic Voronoi Decomposition of Triangular Meshes,” in IEEE Transactions on Electromagnetic Compatibility, vol. 62, no. 5, pp. 2196-2208, Oct. 2020, doi: 10.1109/TEMC.2019.2956586.
- [14] Bastianelli, L., Morettini, V., Pompei, M., Raschi, E., Tissi, F., 2014. Efficiency modeling of motor drives for electric vehicles, in: .. doi:10.1109/aeit.2014.7002039
- [15] ANSYS Twin Builder, 2022, [online] Available: <https://www.ansys.com/products/systems/ansys-twin-builder>.
- [16] LTspice v.2020, [online] Available: www.analog.com.



서현우 (Hyun-Woo, Seo)

Hyun-Woo Seo received the B.S. degree from the Seoul National University of Science & Technology, Seoul, Korea. He received the M.S. degree from the Hanyang University, Seoul, Korea. He is currently pursuing the Ph.D. degree with the Hanyang University, Seoul, Korea. His research interests with EMI/EMC Co-Simulation circuit modeling of Power converter systems.



김래영 (Rae-Young, Kim)

Dr. Rae-Young Kim received the B.S. and M.S. degrees from the Hanyang University, Seoul, Korea, in 1997 and 1999, respectively, and the Ph.D. degree from the Virginia Polytechnic Institute and State University, Blacksburg, in 2009, all in electrical engineering. From 1999 to 2004, Dr. Kim had been a Senior Researcher at the Hyosung Heavy Industry R&D Center, Seoul, Korea. His research interests with include modeling and control of power converter systems, soft switching techniques, energy management systems in smart grid applications, power converter systems for renewable energies, and motor drive systems.